

# 琉球大学学術リポジトリ

## トランジスタカーブトレサの改良

メタデータ	言語: 出版者: 琉球大学教育学部 公開日: 2007-07-17 キーワード (Ja): キーワード (En): 作成者: 比嘉, 善一 メールアドレス: 所属:
URL	<a href="http://hdl.handle.net/20.500.12000/932">http://hdl.handle.net/20.500.12000/932</a>

# トランジスタカーブトレーサの改良

比 嘉 善 一

## Improvement of Transistor Curve Tracer

Zenichi HIGA<sup>\*</sup>

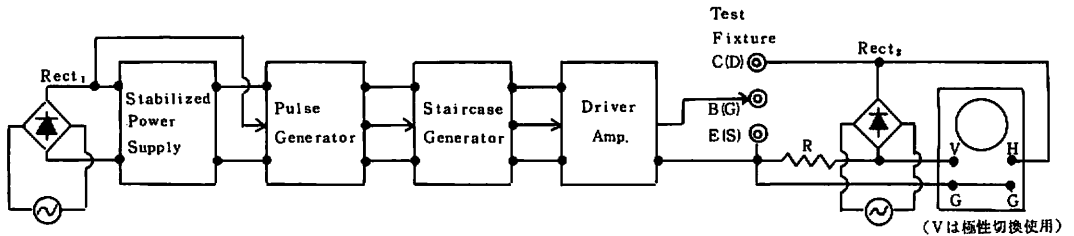
(Received July 9, 1977)

### I はじめに

双極性トランジスタ (BJT) や単極性トランジスタ (FET および MOST) などの特性の検討は、通常、その特性測定をするか、半導体カーブトレーサによって観測する方法が取られる。前者は簡単で手軽におこなえる測定法であるが時間を要し、後者は特性曲線群を敏速に観測できるが、高価で限られた予算では入手し難い。そこで自作可能なトランジスタ技術教育のためのカーブトレーサ<sup>1)</sup> (II), <sup>2)</sup> (III) を紹介したが、(II) は BJT の  $V_C - I_C$  特性曲線群を対象としたもの、(III) は FET, MOST の  $V_D - I_D$  特性曲線群を対象としたものである。従って、この両特性を観測するには、二台の装置をそなえねばならない。現在では FET も頻繁に使用されており、一台の装置で両特性の観測ができればより利用価値があるものと考えられる。そこで、今回はこれを解決する目的で、本装置の製作を行なった。

### II 回路構成

本装置の回路構成をブロックダイアグラムで示せば第 1 図のとおりで、供試トランジスタのベース (またはゲート) 側の回路とコレクタ (またはドレイン) 側の回路とに大別される。ベース (またはゲート) 側の回路は、パルス発生回路、階段波発生回路、駆動回路およびこれらの回路を動作させるための定電圧直流電源回路からなり、原理的には先に報告した (II), (III) と同様である。(II), (III) と異なる部分は、供試トランジスタの入力として加える階段波の各ステップ間の電圧を調整するのに、(II) では階段波発生回路のエミッタホロウ増幅器のベース、アース間の分圧抵抗を、(III) ではスイッチングトランジスタのベース抵抗を、いちいち調整しなければならなかったが、今回はこのようなめんどろな調整を要しない回路を考案したこと、電流制御素子である BJT および電圧制御素子である FET に対応できるように、新



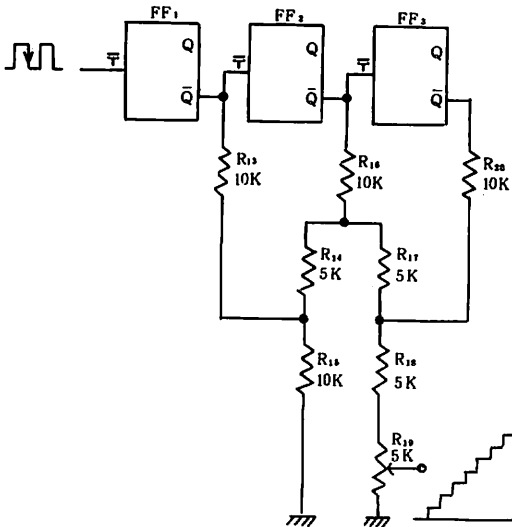
第 1 図 カーブトレーサのブロックダイアグラム

<sup>\*</sup> Tech. Edu., Coll. of Edu., Univ. of the Ryukyus.

たにオペアンプ (operational amplifire) を使った電圧-電流変換型の駆動回路を付加した点である。ここでは、おもにⅡ, (Ⅲ) の場合と異なる部分, すなわち, 階段波の発生方法と駆動回路の動作について述べることにする。

(1) 階段波発生回路

階段波発生回路は第2図のような回路で,  $FF_1, FF_2, FF_3$  はTフリップフロップ (Trigger flip-flop) を3個接続した非同期式カウンタ回路である。Tフリップフロップは入力パルスが 0, 1, 0と変化するたびに, 出力端子 $\bar{Q}$ は1, 0, 1と交互に変化する。

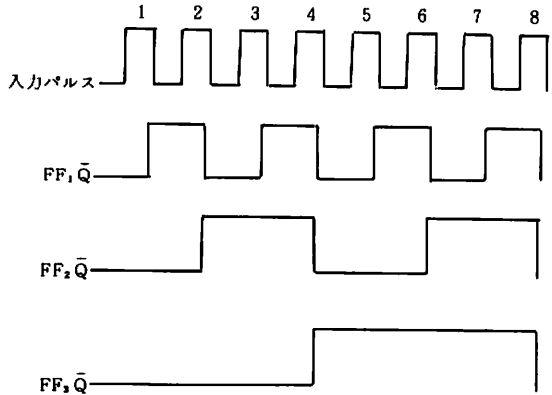


第2図 階段波発生回路

従って, この回路の真理値表は第1表のようになり,  $FF_1, FF_2, FF_3$ の出力端子 $\bar{Q}$ では第3図のような出力波形が得られる。

第1表 非同期式カウンタ回路の真理値表

入力パルス 出力端子	FF <sub>1</sub> の入力パルス番号								
	0	1	2	3	4	5	6	7	8
FF <sub>1</sub> $\bar{Q}$	0	1	0	1	0	1	0	1	0
FF <sub>2</sub> $\bar{Q}$	0	0	1	1	0	0	1	1	0
FF <sub>3</sub> $\bar{Q}$	0	0	0	0	1	1	1	1	0



第3図  $FF_1, FF_2, FF_3$ の出力波形

出力が0の状態ではIC M53273P(J-K, master-slave flip-flop)の構造から端子 $\bar{Q}$ の電圧は0Vとみなしてよいので, 第2図の回路は入力パルスに応じて第4図の(0)~(7)までを順次切り換えたのと等価になり, 出力端子 $\bar{Q}$ が1のときの電圧をE(V)とすれば, VR (5K $\Omega$ )に流れる電流は

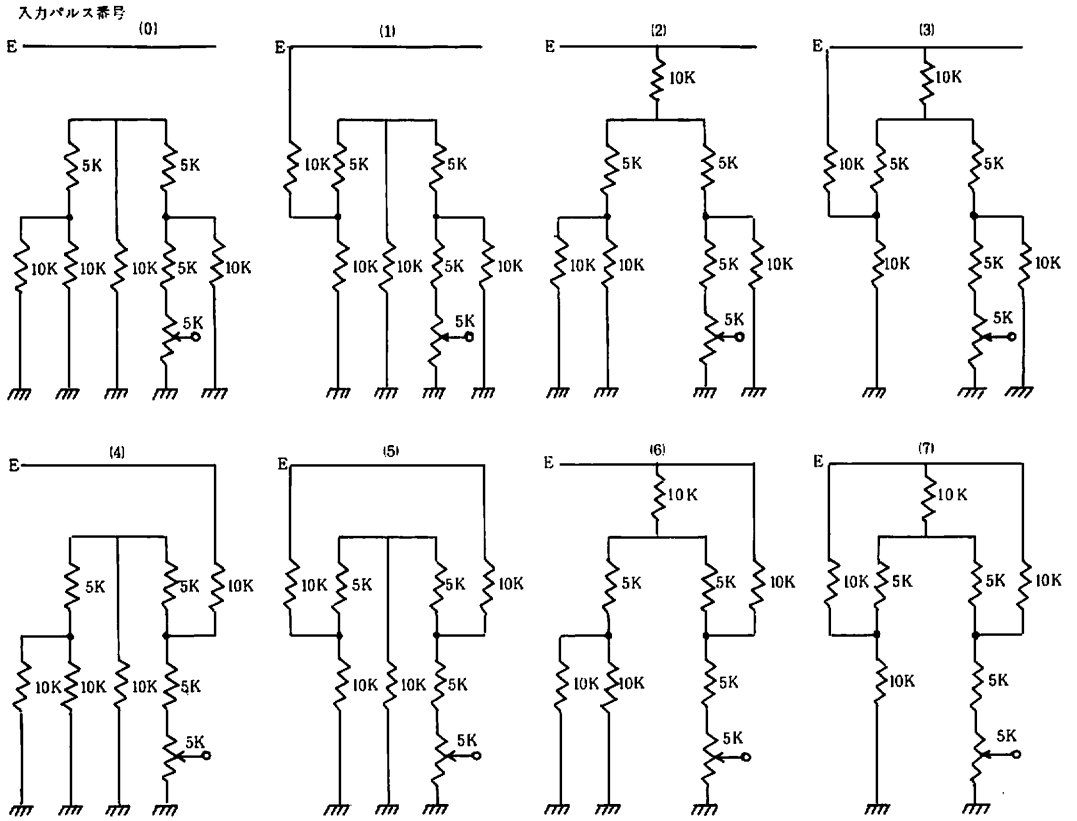
第4図の(0)のとき	0 (mA)
(1) "	$\frac{1}{120} E$ (mA)
(2) "	$\frac{2}{120} E$ (mA)
⋮	⋮
(6) "	$\frac{6}{120} E$ (mA)
(7) "	$\frac{7}{120} E$ (mA)

と順次に変化する。

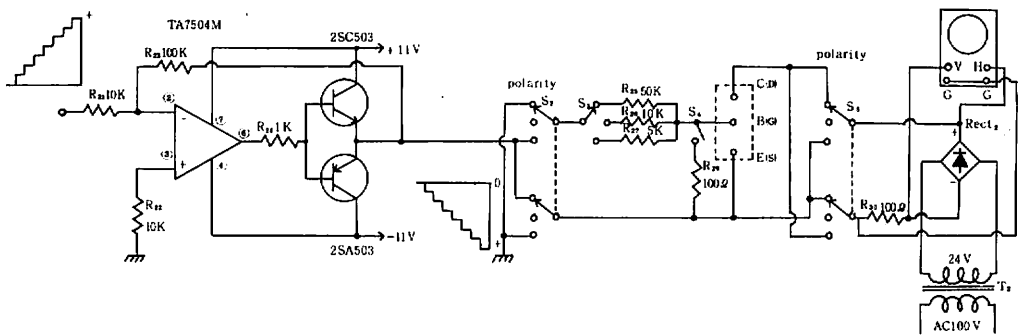
従って, VR (5K $\Omega$ )の両端には階段的に変化する電圧がくり返し得られることになる。

(2) ベース (ゲート) 駆動回路

ベース (ゲート) 駆動回路は第5図に示すようなオペアンプ (TA 7504 M) を使用した電圧-電流変換型の反転増幅器である。このオペアンプの等価回路は第6図のようになっており, 入力段差動増幅部 ( $Q_1 \sim Q_8$ ), バイアス電流供給部 ( $Q_9 \sim Q_{12}$ ), B級プッシュプル増幅部 ( $Q_{13} \sim Q_{24}$ )の3つの部分に分けられる。この回路の動作について述べると, 入力段差動増幅部の入力トランジスタ $Q_2$ および $Q_3$ は定電流トランジスタ $Q_1$ によってバイアスされている。 $Q_4$ および $Q_5$ はPNPトランジスタのベース接地を利用して,  $Q_2$ および $Q_3$ の入力トランジスタの能動負荷の一部となっている。また $Q_6, Q_7$ も能動



第4図 階段波発生原理

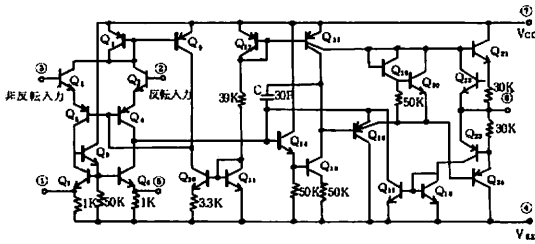


第5図 ベース（ゲート）駆動回路およびコレクタ（ドレーン）スイープ回路

負荷となっている。 $Q_6$ は $Q_6$ および $Q_7$ のバイアストランジスタである。

いま反転入力②に非反転入力③より $\Delta e$ だけ高い電圧が加わったとすると $Q_2$ のエミッタおよび $Q_4$ のコレクタ

には $\Delta i$ だけ増加した電流が流れ、 $Q_3$ および $Q_5$ のエミッタおよびコレクタ電流は $\Delta i$ だけ減少する。（ $Q_2, Q_4$ および $Q_3, Q_5$ のバイアス電流が定電流のため）次に $\Delta i$ なる減少した電流は $Q_6$ のベースに流れ、 $Q_7$



第6図 オペアンプ (TA 7504 M) の等価回路

および  $Q_6$  をバイアスする。従って、 $Q_7$  のコレクタ電流は  $Q_5$  のそれと等しくなり、 $\Delta i$  だけ減少する。次に  $Q_8$ 、 $Q_7$  のエミッタ回路が対称であるので、 $Q_8$  のコレクタ電流も  $\Delta i$  だけ減少する。結局、入力段の差動増幅部の出力電流は  $Q_1$  のベース電流になるから  $2\Delta i$  だけ増加したことになり、差動入力で差動出力の回路と等価になっている。入力段差動増幅部の出力電流は  $Q_{14}$  と  $Q_{15}$  で増幅 (増幅度 =  $k$ ) され、 $Q_{15}$  のコレクタ電流は  $2k\Delta i$  だけ増加する。従って、 $Q_{16}$ 、 $Q_{24}$  のPNPトランジスタをドライブし、出力には入力信号が増幅された負の電圧が出てくる。

このように動作するオペアンプに第5図のように、階段波発生回路で得られた階段波電圧を抵抗  $R_{21}$  を通して、反転入力端子②に加えると、出力端子⑥には極性が反転した階段波電圧が得られる。このオペアンプは出力電流が数mA以上になるとリミッタが働き、出力がクランプされ、大電流を取り出すことはできないので、コンプリメンタリトランジスタ  $Tr_1$ 、 $Tr_2$  でプッシュプル回路を構成して、出力を取り出し、供試トランジスタのベース電流とする。またFETの場合は抵抗  $R_{29}$  に定電流を流し、その両端の電圧を供試FETのゲート電圧とする。抵抗  $R_{23}$  は負帰環用、 $R_{22}$  は入力オフセット調整用である。

### III 結果および考察

写真1～3は今回製作したカーブトレサをオシロスコープ (VP-546 A) に接続して描かせた特性曲線、第7図～9図は静特性試験により得られた結果である。

写真1はFET 3SK30A (日立) の  $V_D - I_D$  特性曲線で、この素子は  $s$  接合型J-FET、Nチャンネル、Dモードである。特性中に雑音が含まれているが、これはゲート入力電圧が低い領域ではSN比が問題となるためと考える。実用上は支障がないと思われる。その他の各タイプにも対応できるが、D+Eモードの場合はDモードとEモードの2回に分けて別々に観測しなければならない。

写真2はBJT 2SA12 (日立) の  $V_C - I_C$  特性曲線、

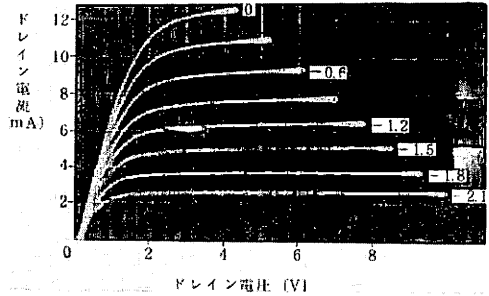


写真1 3SK30A (日立) の  $V_D - I_D$  特性

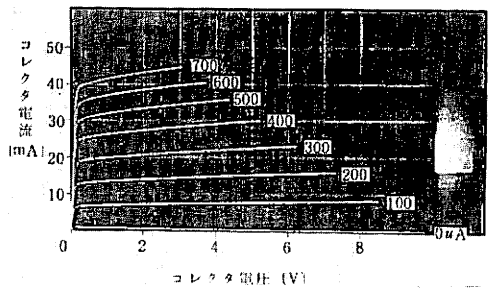


写真2 2SA12 (日立) の  $V_C - I_C$  特性

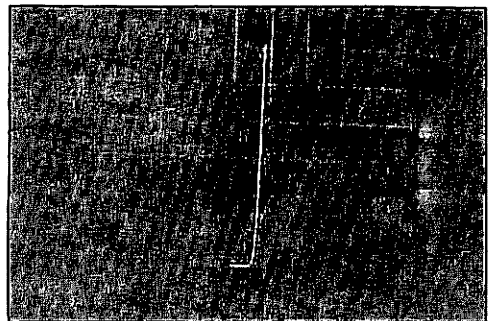


写真3 10D1 (I.R.) の順方向特性

$V = 1 \text{ V/cm}$ ,  $I = 1 \text{ mA/cm}$

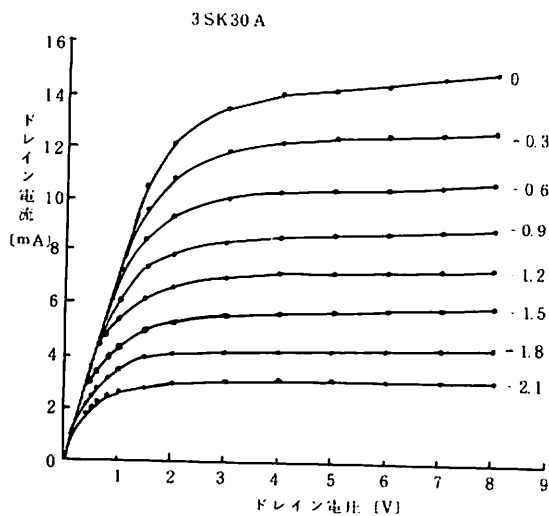
写真3はダイオード10D1 (I.R.) の順方向特性である。

#### ① カーブトレサの精度

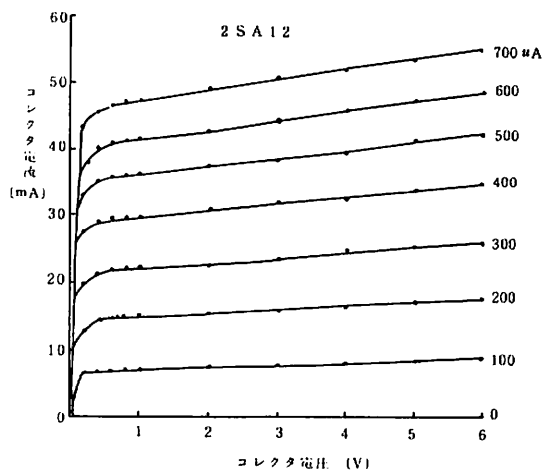
精度についてはグラフ用紙に特性曲線 (第7図～9図) を描き、その上に写真1～3のネガを引伸機で拡大して、それぞれの特性曲線上に投影し、静特性試験による測定値とカーブトレサによる測定値との誤差を求めた結果、FETの場合は平均8.1%、BJTの場合8.2%となった。

#### ② オシロスコープのスケール板目盛

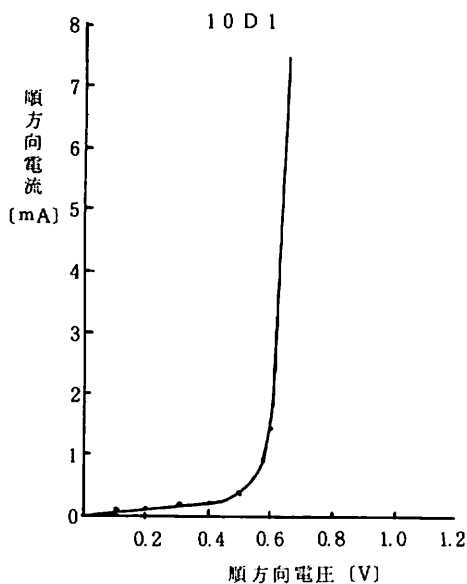
垂直軸の目盛  $I_C$  ( $I_D$ ) の読みは垂直感度 ( $\text{V/cm}$ ) とコレクタ損失抵抗  $R_{30}$  (100  $\Omega$ ) から第2表のようになる。また水平軸の目盛は  $1 \text{ V/cm}$  で一定である。



第7図 3SK30A (日立) の  $V_D - I$  特性



第8図 2SA12 (日立) の  $V_C - I_C$  特性



第9図 10D1 (I, R) の順方向特性

#### IV おわりに

双極性トランジスタ (BJT) および単極性トランジスタ (FET, MOST) の特性曲線群を1台の装置で観測できるように改良する目的でカーブトレーサを製作したが、その結果を要約すると次の通りである。

① 改良することにより、電圧素子であるFET、電流素子であるBJTの両種のトランジスタに対応することはできたが、FETのD+Eモードの場合はDモードとEモードの2回に分けて別々に観測しなければならず、先に報告した(Ⅲ)と比べると不便である。

② 入力(ベース電流, ゲート電圧)が小さい領域ではSN比が問題となり雑音がめだつが、実用上は支障ないものと思われる。

③ 精度についてはFETの場合平均8.1%, BJTの場合8.2%の誤差となっている。

このカーブトレーサは技術科の教員養成におけるトランジスタ学習に演示利用することで、直観的にトランジスタの特性を理解させるとともに、実用面における応用力の養成に有効なものであると思われる。

#### 参考文献

- (1) 浅野安吉, 比嘉善一, トランジスタ技術教育のためのカーブトレーサ(Ⅱ), 琉球大学教育学部紀要第17集 第2部 P 103 ~ 113 (1973)

第2表 垂直軸の目盛の読み

プローブ 10 : 1

垂直感度	0.02	0.05	0.1	0.2	0.5	1	2	5	10
$I_C$ ( $I_D$ )	$\frac{mA}{cm}$	5	10	20	50	100	200	500	1,000

- (2) 浅野安吉, 比嘉善一, トランジスタ技術教育のためのカーブトレーサ(Ⅲ), 琉球大学教育学部紀要第18集 第2部 P 75 ~ 79 (1974)
- (3) 猪飼国夫 デジタル・システムの設計 P 103 ~ 104 CQ出版社
- (4) 岡村勉夫 OPアンプ回路の設計 P 77 ~ 78 P 85 ~ 86 CQ出版社
- (5) 山賀 威, 中根正義, オペレーショナルアンプ応用技術読本, P 33 ~ 36 オーム社
- (6) リニヤIC規格表 CQ出版社(1973)