

琉球大学学術リポジトリ

トランジスタ技術教育のためのカーブトレーサー (2)

メタデータ	言語: 出版者: 琉球大学教育学部 公開日: 2007-07-17 キーワード (Ja): キーワード (En): 作成者: 浅野, 安吉, 比嘉, 善一 メールアドレス: 所属:
URL	http://hdl.handle.net/20.500.12000/936

トランジスタ技術教育のためのカーブトレーサー(Ⅱ)

浅野 安吉 比嘉 善一

A Curve Tracer for the Education of Transistor-Technique (Ⅱ)

Yasukichi ASANO and Zen-ichi HIGA

(Received Oct. 31, 1973)

A curve-tracer for transistors which can display a group of characteristic curves quickly is an useful device, when we intend to build an electronic equipment, especially for selecting matched pairs of transistors, for selecting complementary pairs.

A curve-tracer for transistors is generally consisted of tow parts, (except a part of oscilloscope), one of which is a circuit to sweep the collector voltage of a transistor under test, the other is a staircase generator for the base current.

The former of the curve-tracer described here is only a simple one, which is an unfiltered full wave rectifier circuit from a 60 Hz A.C. supply. However, the latter(a staircase generator) is not so simple, that the details of it mainly are described in this paper: the staircase generator is essentially an usual self-biased emitter follower amplifier whose base currents are controlled by sequential clock pulses which are produced by logic counter circuits consisted from several IC J-K M-S Flip-Flops and DTL NAND circuits. They are also originally controlled by 120 Hz pulses picked up from unfiltered full waves rectified from a 60 Hz A.C. supply. Then the each step of staircase voltages produced as an output on the emitter follower is applied to the base of a transistor under test at 120 Hz synchronously with collector sweep voltage.

まえがき

トランジスタ装置を製作する場合、トランジスタの特性曲線群を迅速に直視出来るカーブトレーサーは、使用価値の高い測定器の一つと言えよう。然し乍らメーカーの製品は一般に高価で、限られた予算では入手し難い。他方、技術教育担当者にとっては、本来、自ら機器を造ることが、技術的素養を高め、又指導力を向上させる道でもある。そこで筆者の1人等は、先に、トランジスタカーブトレーサーの自作のサンプルを、日本産業技術教育学会誌¹⁾に、同じ標題で紹介した。同装置では、共通エミッター供試トランジスタの、ベース電圧を形成する階段波の作成に、2個のUJTを用い、1個では400Hzの低周波数ののこぎり波を、他の1個では4000Hzの高周波数ののこぎり波を発生させ、両者を1個のトランジスタを介して混合し、所要の階段波形の電圧を得る方法を取り、他方、コレクターにはその高周波数のの

こぎり波を電力増幅して加え、更にオシロスコープの水平掃引に、この後者ののこぎり波を分離し、極性を適当に調整して加えると云う方法をとった。然し、この場合は、供試トランジスタのコレクター電流は、上記の高周波数ののこぎり波の電力増幅トランジスタの許容電流値に制限されるので、パワートランジスタの測定には、これにより限度があった。

今回は 60Hz の交流電源を全波整流した無平滑のままの120Hzの整流電圧を、供試トランジスタのコレクター電圧及びオシロスコープの水平掃引電圧としているので、供試トランジスタはパワートランジスタでも殆んど許容電流の制限を受けない。

他方、供試トランジスタのベース電圧とすべき方形波は、通常の低抵抗分圧ベースバイアス(或は“自己バイアス”)形エミッターフォロワー増幅器の、ベース、アース間分圧抵抗を、階段波の段数に応じた数、各々電子スイッチを介して並列に接続し、その1個宛が順次口

* The Section of Electronics in the Faculty of Technical Education, the College of Education of Ryukyu University.

一タリー式に、且、常時1個文がオンとなり、その都度、バイアス電圧が段階的に変化し、従ってエミッターフォロワーの出力には階段波電圧が繰返し得られる仕組みとなっている。

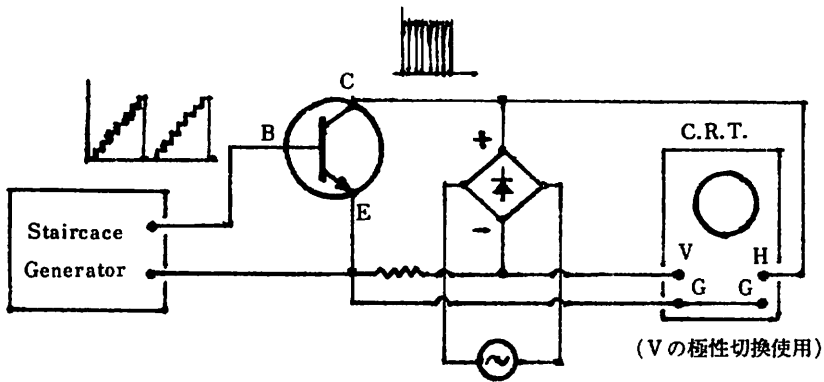
ここで、電子スイッチは、同じく60 Hzの交流電源の無平滑全波整流波のピーク電圧から得られる120Hzのパルスを、整形し、方形波としたトリガパルスにより、駆動される順序形論理回路により構成されている。

原理

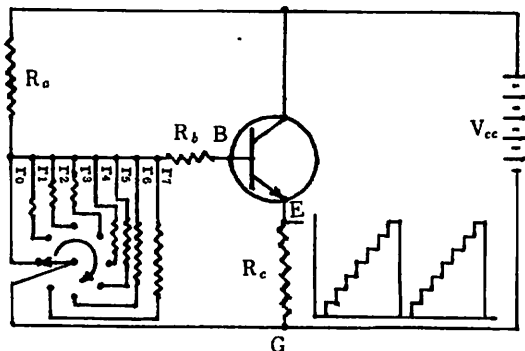
第1図の様に、供試トランジスターを共通エミッター接続とし、このベース、エミッター間に、(交流電源電

圧の全波整流波のピークからピックアップされた、120Hzのパルスにより駆動されて造られた) 階段波電圧を加え、同時に、コレクター、エミッター間に、これと同期的に同じく交流電源電圧からの 120Hz 無平滑全波整流電圧をコレクタ電圧 V_c として加え、これによって、CE間に流れるコレクター電流 I_c を、コレクター回路に直列に挿入された小抵抗の両端から、電圧の形で取出して、オシロスコプの垂直軸端子に加え、他方、前記のコレクタ電圧、即ち、120Hzの無平滑整流電圧を分岐して、オシロスコプの水平掃引電圧とすれば、オシロスコプ上には所要の $I_c - V_c$ 特性曲線群が得られる。

階段波の発生は、原理的には、第2図の様なトランジスターエミッターフォロワーの、B、G間の並列抵抗 r_0



第1図 カープトレーサーの原理図



第2図 階段波発生器の原理図

r_1, \dots, r_7 (但し、 $r_0 < r_1 < \dots < r_7$) を、ロータリースイッチSにより、漸次オンとし、ベース電流を段階的に増加させ、負荷抵抗 R_c の両端に、(この場合は7段の)、階段波電圧を得るものである。但し、実際には、

ここでは、この様な機械的なロータリースイッチを用いず、(代りに、後述の様な回路構成により)、毎秒120回の割合で、オフ・オンの行われる、電子スイッチが使用される。

回路構成とその各部の機能

全回路構成をブロックダイアグラムのに示すと第3図の様になる：供試トランジスターの左側に示された部分、即ち、ベース側の全回路と、右側、即ち、コレクタ側の回路とに大別される。但し、後者は、コレクター電圧及びオシロスコプの水平掃引電圧を興ふべき、60Hz 交流電源からの無平滑全波整流電圧回路と、コレクタ電流を、コレクター回路に直列に挿入された小抵抗の両端の電圧の形でオシロスコプの垂直軸端子に導く回路との、単純な構成に過ぎないので詳述を避ける。唯、オシロスコプの水平掃引電圧が、正しく、CE間の電圧を指示し、従って曲線群の立上り部分(飽和部分)の傾斜が急

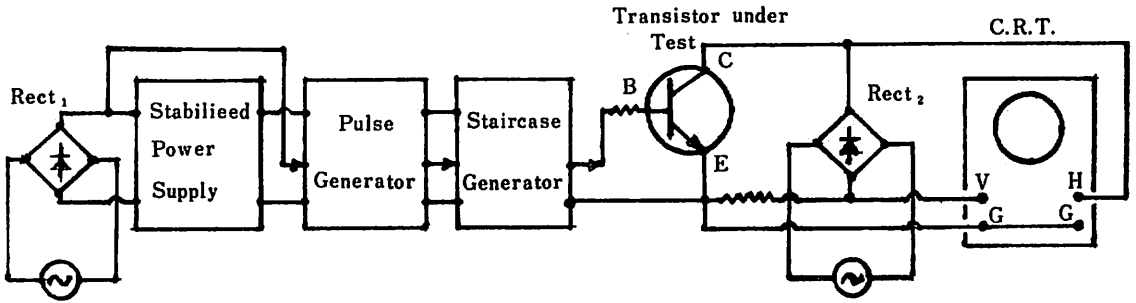
峻となる様に、供試トランジスタのC、E端子に直接接続した事、そのために、垂直軸の極性を反転させなければならないことを注意する。

他方、前者は、パルス発生部と階段波発生部及びこれらの回路の直流電源部とから成るが、直流電源部は通常の電圧安定化電源に過ぎないので、これまた、詳述を省略する。即ち、ここでは、パルス発生部と階段波発生部とに焦点を絞って述べることにする。

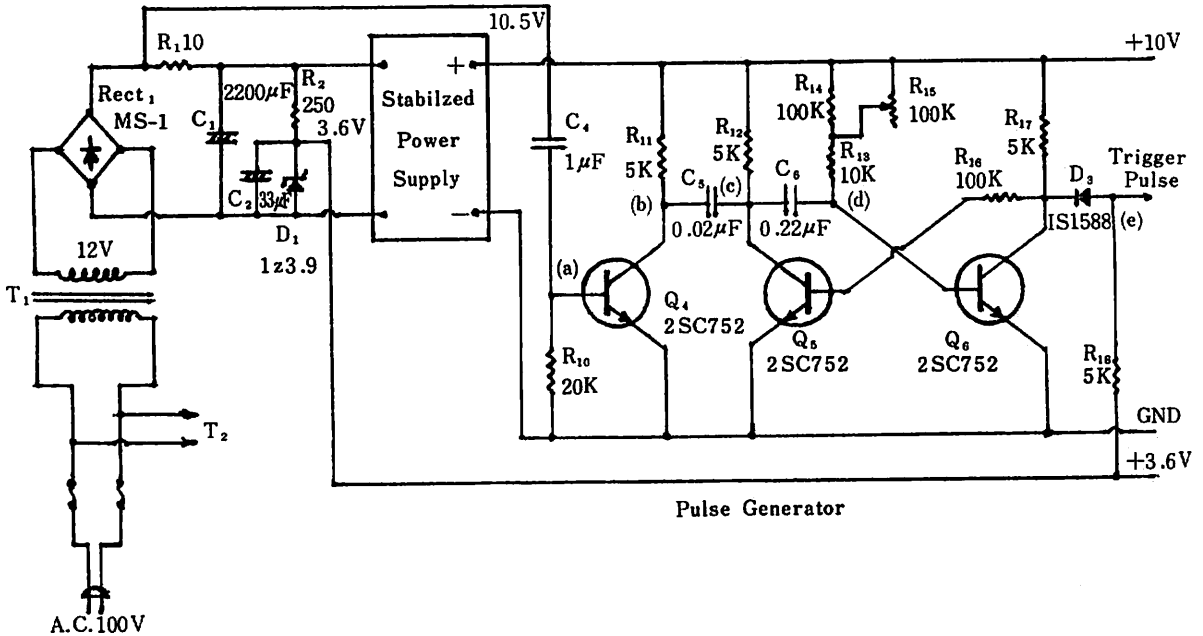
この様な観点から更に回路図を描けば、第4図、第5

図のようになる。

先づ、第4図について述べれば、パルス発生部は、トランジスタ Q₄, Q₅, Q₆ から成る。ここで、Q₅, Q₆ は、単安定マルチバイブレーターを構成し、常時は Q₆ オン、Q₅ オフで、パルスが入力されると、始めて Q₆ オフ、Q₅ オンと変わるが、パルスが無くなると、一定時間後、自動的に再び、Q₆ オン、Q₅ オフと、元の状態に戻り、この間、Q₆ の出力回路からは、D₃ を経て、整形された正の方形波パルスが取出される。

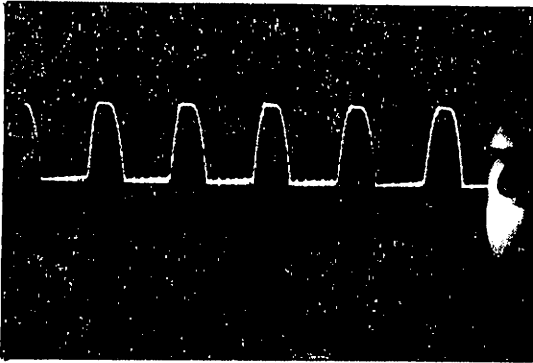


第3図 カーブトレーサー全ブロック図

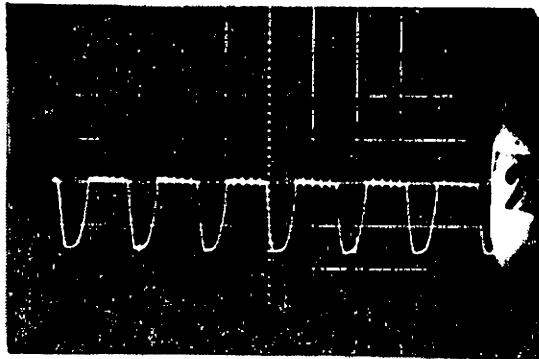


第4図 トリガーパルス発生器

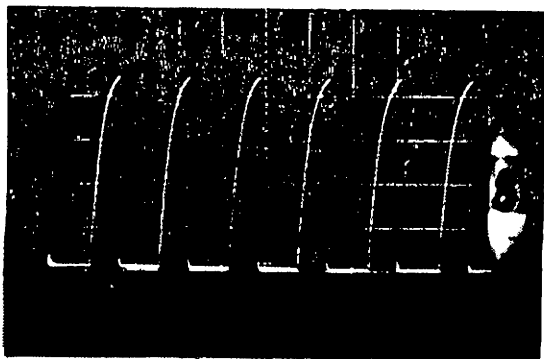
さて、入力側のパルスは、図左端の60Hz 交流電源からの無平滑全波整流波から、コンデンサーC₄ を介して、Q₄ のベースに加えられる。回路の各部(a), (b), (c), (d) (e), (f)におけるパルスの波形を写真で示せば、写真1の様になる。(但し、(f)は第5図の D₄ の出力側の点とする。)



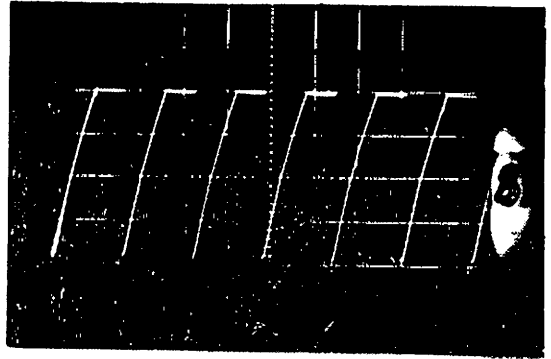
(a) 2V/cm, 4.2m sec/cm



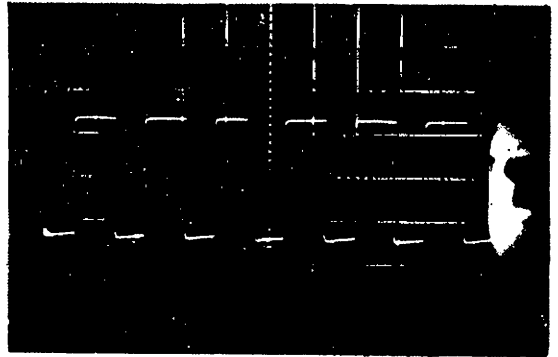
(b) 2V/cm, 5m sec./cm



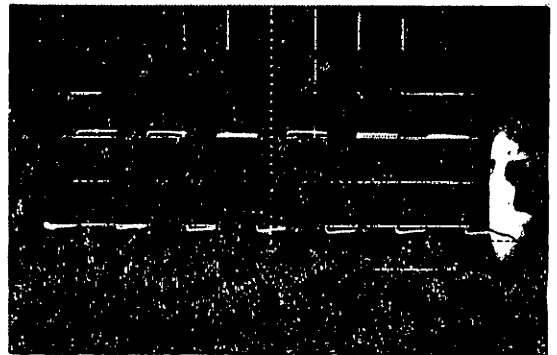
(c) 0.5V/cm, 5m sec./cm



(d) 0.5V/cm, 5m sec./cm



(e) 1V/cm, 5m sec./cm

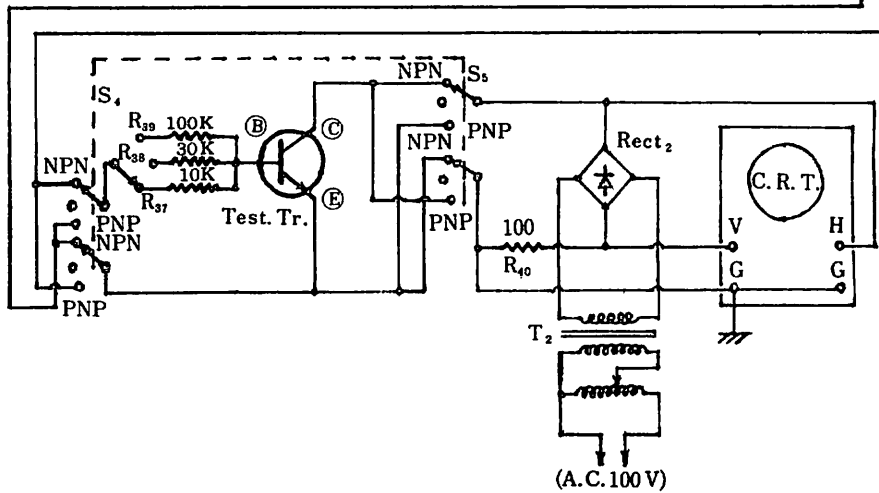
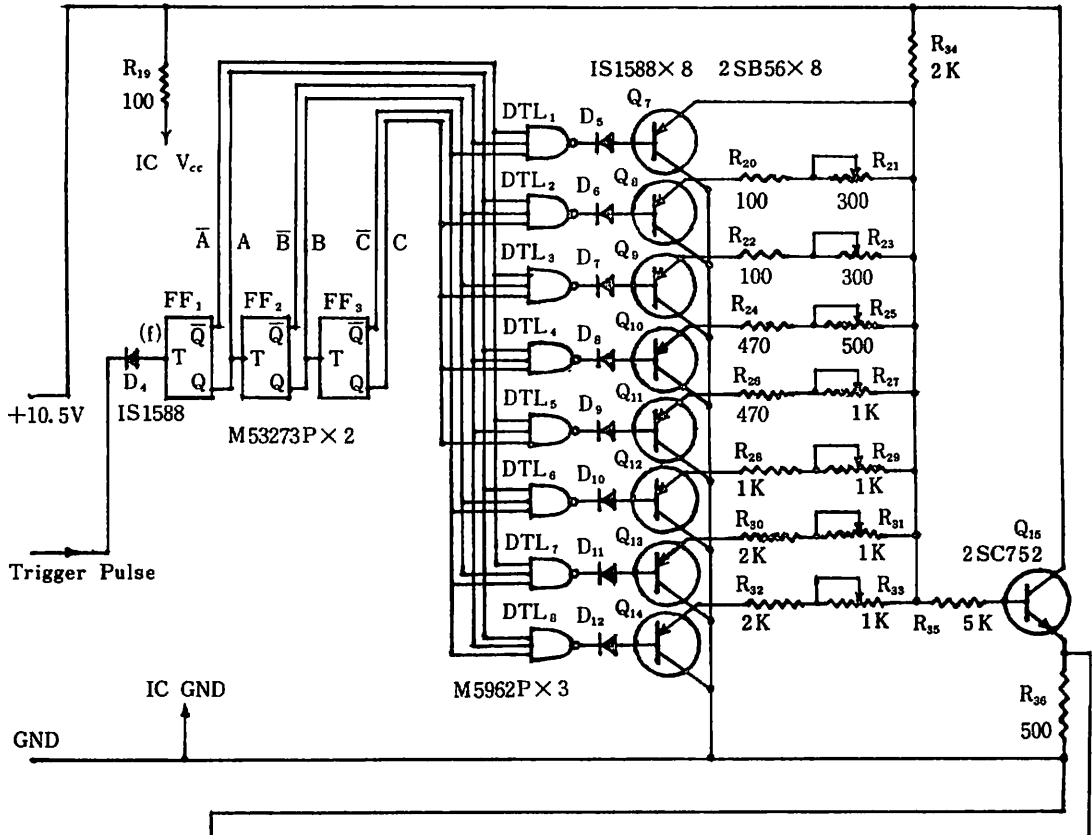


(f) 1V/cm, 5m sec./cm

写真1 トリガパルス発生回路の、各部のパルスの変化を示す。

次に、階段波発生回路は、第5図の上部の回路の様な構成となる：左のICはトリガフリップフロップ(TFF)で、これらの3個と、後に続く8個のNAND回路

STAIRCASE GENERATOR

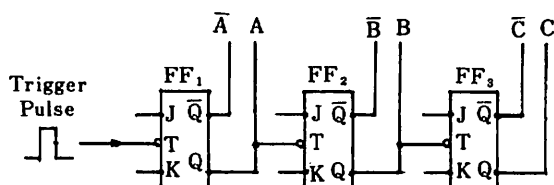


第5図 階段波発生回路の詳細、及び、供試トランジスタへの、電圧の適用、C・R・Tへの接続回路を示す。

との組合せにより、いわゆる順序論理カウンタ回路が構成されており、これらの各々の出力回路に得られるクロックパルス (CP) は、後に続くスイッチングトランジスタ Q7, Q8, …… Q14を制御し、これらの負荷回路を、順次に、オン、オフさせる。この様な“エレクトロニクススイッチ”によって、Q15のベース電流が段階的に変化し、従って、コレクタ電流もこれに比例して変化するので、エミッターフォロワー増幅器の出力電圧は、R₃₈の端子間に、階段波電圧として現れる。

なお、上記のTFFとして、ここでは“双J-Kマスタースレーブフリップフロップ” M53273 P 2個 (従って1個は未使用) を、J、K端子開放で使用している。この種のFFの内部の回路構成は可成り複雑であるが、動作結果は、単純で、Tからの1個の入力パルス毎に、出力端子Q、Qの状態が、オン、オフと反転を繰返すに過ぎない。(この双J-K M-S FFの内部回路構成や、その働き等については、附註に掲載されている。)

そこで、第6図の回路の、順次の入力パルスに應ずる出力端子の状態を表示すれば、第1表の様になり、従って、第5図のDTL, NAND回路への入力の状態は、第2表の様になり、従って、その各々の出力状態は、第3表のようになることが判る。この第3表の0, 1の状態



第6図 順序形論理カウンタ回路

FF1, FF2, FF3 の出力端子	FF1の入力パルス番号								
	0	1	2	3	4	5	6	7	8
\bar{A}	1	0	1	0	1	0	1	0	1
A	0	1	0	1	0	1	0	1	0
\bar{B}	1	0	0	1	1	0	0	1	1
B	0	1	1	0	0	1	1	0	0
\bar{C}	1	0	0	0	0	1	1	1	1
C	0	1	1	1	1	0	0	0	0

第1表 順序論理カウンタの真理直表を示す。
(但し高電位状態を1, 低電位状態を0とする。)

DTL1~8 NAND回路の入力ゲート(論理式)	FF1の入力パルス番号								
	0	1	2	3	4	5	6	7	8
$\bar{A}\bar{B}\bar{C}$	1	0	0	0	0	0	0	0	1
ABC	0	1	0	0	0	0	0	0	0
$\bar{A}BC$	0	0	1	0	0	0	0	0	0
$A\bar{B}C$	0	0	0	1	0	0	0	0	0
$\bar{A}\bar{B}C$	0	0	0	0	1	0	0	0	0
$A\bar{B}\bar{C}$	0	0	0	0	0	1	0	0	0
$\bar{A}B\bar{C}$	0	0	0	0	0	0	1	0	0
$A\bar{B}\bar{C}$	0	0	0	0	0	0	0	1	0

第2表 DTL1~8 NAND回路の入力ゲートの状態を示す。

DTL1~8 NAND回路の出力	FF1の入力パルス番号								
	0	1	2	3	4	5	6	7	8
DTL1 (Q7)	0	1	1	1	1	1	1	1	0
DTL2 (Q8)	1	0	1	1	1	1	1	1	1
DTL3 (Q9)	1	1	0	1	1	1	1	1	1
DTL4 (Q10)	1	1	1	0	1	1	1	1	1
DTL5 (Q11)	1	1	1	1	0	1	1	1	1
DTL6 (Q12)	1	1	1	1	1	0	1	1	1
DTL7 (Q13)	1	1	1	1	1	1	0	1	1
DTL8 (Q14)	1	1	1	1	1	1	1	0	1

第3表 DTL1~8 NAND回路の出力状態(対応するスイッチングトランジスタQ7~14の状態)を示す。

に応じて、スイッチングトランジスタ Q7~Q12の各々は、オン、オフとなるから、第3表は、とりも直さずFF1への入力パルスの順序に應ずる Q7~Q14のオン、オフの状態をそのまま表していることになる。即ち、Q7~Q14は、第0パルスでQ7がオン、他は凡てオフ、と言った具合にスイッチングが進み、第7パルスでQ14がオン、他は凡てオフ、これで全部が“オン”を動作し、次の第8パルスで再び、Q7にオンが戻り、以下、パルスが次々と進むに従って、このことが繰返される。述べるまでもなく、Q7がオンのときは、エミッターフォロワーQ15のベース回路は短絡され、ベース電流は0、Q8, Q9, ……Q14が漸次オンとなるに従って、分路の抵抗が漸次増し、それに應じてベース電流が増すことになるので、出力電圧の階段は、段階的に高まり、Q14で最高となり、次の第8パルス、即ち、第9番目のパルスで再びQ7に戻り、階段は最低位となり、更にパルスが進むに従って、

このことが繰返されることとなる。

結 果

写真2は、製作したカーブトレーサーを、松下通信工業製オシロスコープVP-546Aに接いで、曲線を描かせている状況である。

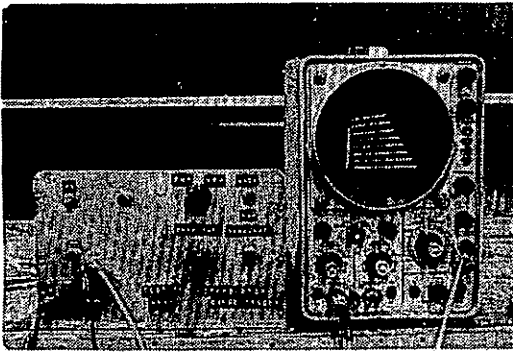
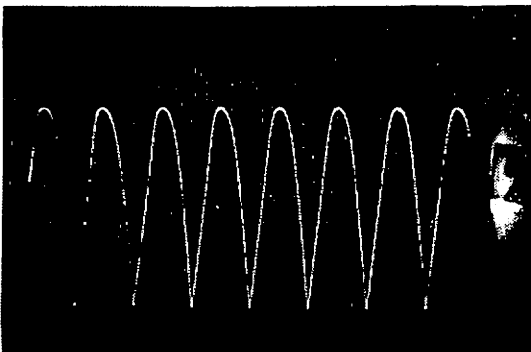


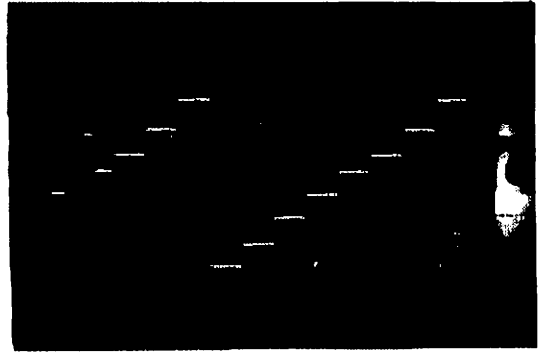
写真2. 製作したカーブトレーサーを、オシロスコープVP-546Aに接続し、カーブを描かせている状況。

写真3の(a)は、(供試トランジスターを接がない場合の)供試トランジスターのコレクター並びに、C・R・Tの水平軸に加ふべき、“掃引電圧”波形、(b)は、(同じく、供試トランジスターを接がない場合の)、供試トランジスターのベースに加ふべき“階段波電圧”波形を示す。



コレクター電圧、C・R・T水平掃引電圧波形：1V/cm, 2msec./cm.

写真 3(a)



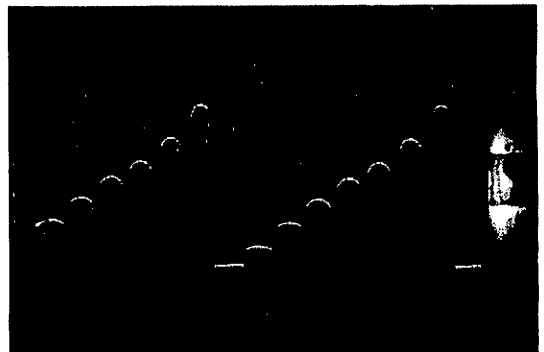
ベースに加ふべき階段波電圧波形：0.5V/cm., 5msec./cm.

写真 3(b)

写真4の(a)は、供試トランジスターを接いだ場合の、コレクタ電圧、並びに、C・R・Tの水平掃引電圧波形を、また、(b)はその場合の、C・R・T垂直軸入力電圧



(a) 供試トランジスターを接続した場合のコレクタ電圧、C・R・T水平掃引電圧波形：1V/cm., 2msec./cm.

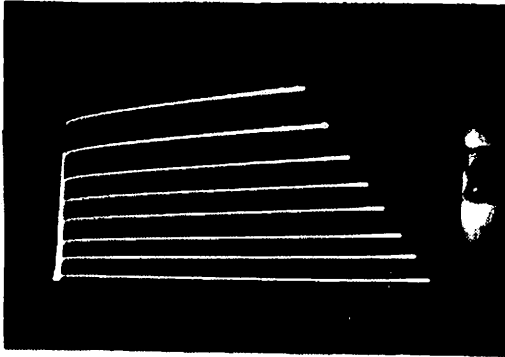


(b) 供試トランジスターを接続した場合のC・R・T垂直軸入力電圧の変化(階段状の、各 I_{B1} に対応する I_c の変化)を示す。

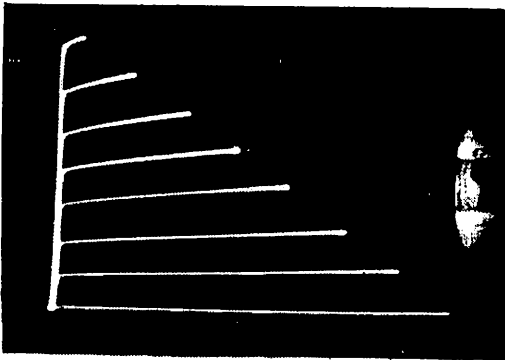
写真 4

波形の変化、即ち、 I_c の変化を示す。

写真5、写真6は、写真2の装置で描かせた I_c - V_c 特性曲線である：写真5の(a)、(b)は、2SD30(三洋)の、写真6の(a)、(b)は、2SB56(東芝)のそれである。

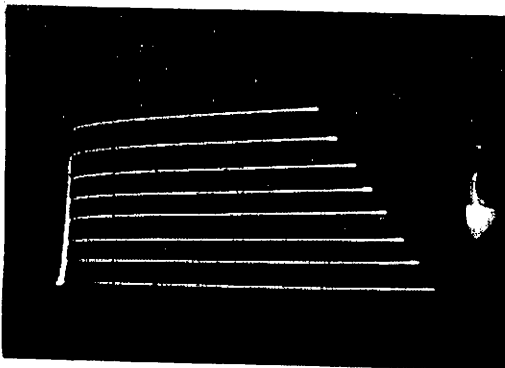


(a) 2SD30(三洋) $V_c=1V/cm.$, $I_c=5mA/cm.$
 $I_b=0,27, 46, 67, 87, 107, 125, 146 \mu A.$



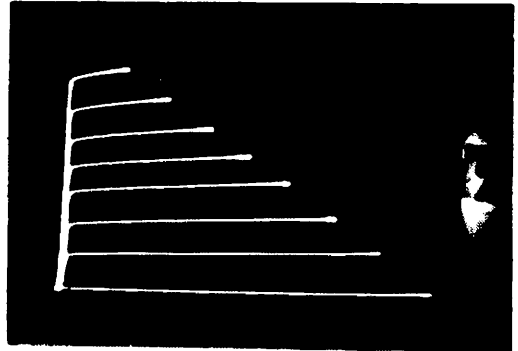
(b) 2SD30(三洋) $V_c=1V/cm.$, $I_c=10mA/cm.$
 $I_b=0,71, 138,201,261,321,375,438 \mu A.$

写真 5



2SB56(東芝) $V_c=1V/cm.$, $I_c=5mA/cm.$
 $I_b=0.27, 46, 67, 87, 107,125,146 \mu A.$

写真 6 (a)



2SB56(東芝) $V_c=1V/cm.$, $I_c=10mA/cm.$
 $I_b=0,71, 138,201,261,321,375,438 \mu A.$

写真 6 (b)

あとがき

供試トランジスターのコレクター電圧及びオシロスコープの水平掃引電圧に、60 Hzの商用交流電源電圧の全波整流波を直接に、他方、供試トランジスターのベース電圧とすべき階段波電圧も、共通の60 Hzの交流電源の全波整流波のピークからのパルスに駆動されて構成されているので、殆んど、両者の同期調整の要はない。供試トランジスターのコレクター電流は、電源整流器から直接供給されるので、高電力のパワートランジスターの測定も可能である。

特性曲線の立上り部分(飽和部分)の傾斜を正確に表すために、負荷抵抗の電圧降下の影響を含まない様、オシロスコープの水平掃引を、供試トランジスターのコレクター、エミッター端子に、直接接続したため、垂直軸の極性を調整しなければならないが、最近のオシロスコープには、極性反転回路が、普及品にも用意されている場合が多いので、支障は比してないものと思われる。勿論、自作の装置の方に、これを附加することも、面倒ではない。

I_C は外見が簡単に見え、動作結果が単純であり、電源、入力、出力の諸端子の接続も容易であるが、内容は可成り複雑であり、それに応じて、入、出力の途中段階での動作も複雑であるので、その一応用例を処理することは、単に、特性測定器を、得ることに止らず、 I_C デジタル論理回路の利用と言う、拡張されつつある新しい電子技術分野についての、技術的素養を高めることの一助ともなりはしないかと思う。

附 註

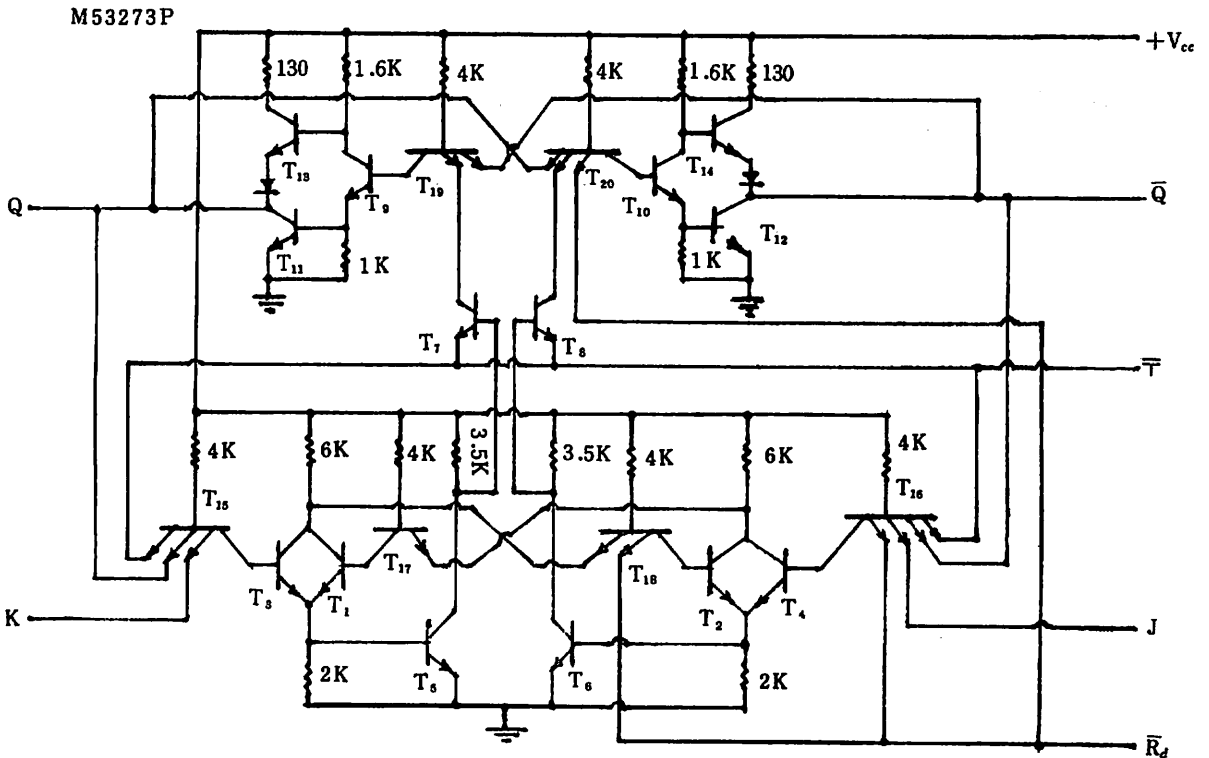
本文に、記号や、ブロックダイアグラム文で示した、ICの、(1): Dual J-K Master-Slave Flip-Flop
(2): DTL NANDゲート、および、(3)に使用した定電圧安定化直流電源回路図を示し、(1)については、その動作の簡単な説明を附記する。

(1) (Dual) J-K Master-Slave Flip-Flop

第7図(a)は、M53273 P の1組の J-K Master-Slave Flip-Flop の回路図である。この回路の機能を、個別の論理記号を用いて、かき替えると、(b)図の様に単

純化される。この回路によって、M53273 P の動作について述べると次の様になる。

例えば、 $\bar{Q}=1$ 、 $Q=0$ の状態を仮定し、 \bar{T} に、正の方形波パルスが加えられるとする。パルスは時間的に、第8図の様に变化するが、パルスの電位が、レベル①を超えると、スレーブのゲート T_7 と T_8 のエミッター電位が、“スレッシュホールド電位”を超えることになり、 T_7 、 T_8 は共にオフとなり、スレーブはマスターと庶断される。パルス電位が更に高まり、②のレベルを超えると、マスターが働き始める。即ち、パルス1 (High) により、 T_{16} の出力は1 (High)、B (T_2 、 T_4) の出力は0 (Low)、即ち T_8 のベース電位は0 (Low)、となる。一方、 T_{15} の出力は0 (Low)、A (T_1 、 T_3) の出力は1 (High)、即ち、 T_7 のベース電位は1 (High) となる。マスター



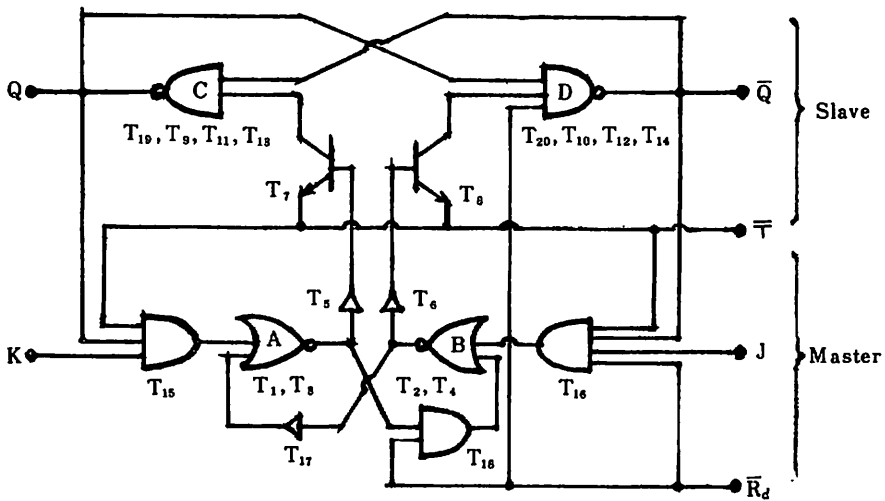
第7図 (a) M53273Pの、1組の J-K Master-Slave Flip-Flop の回路図。

この状態は、パルス電位が③より下り、④に達するまで続き、④より下ると、スレーブのゲートT7 がオンとなり、Cの出力は1 (High) となる。即ち、Qは0 (Low) から1 (High) になる。他方Dの出力は0 (Low) となる。即ち、 \bar{Q} は1から0になる。更にパルスが0 (Low) となってもこの状態は変わらない。これが、パルス1個下に加った場合の J-K Master-Slave Flip-Flop の結

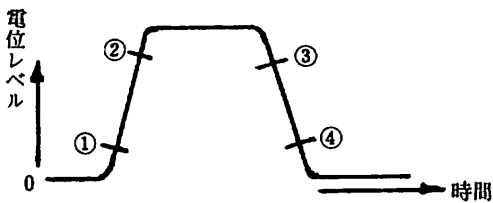
果である。

(2) DTL NAND ゲート

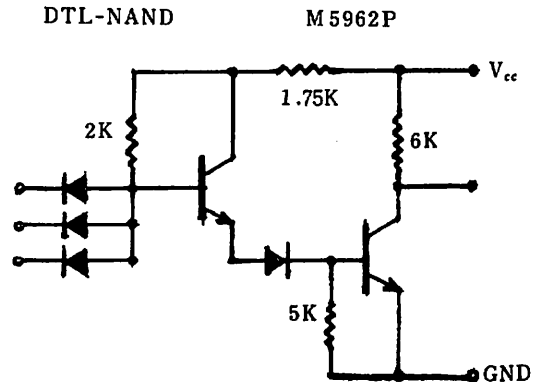
M5962Pの1組のDTL NANDゲートの回路図を第9図に示す。



第7図 (b) M53273Pの、1組の、J-K Master-Slave Flip-Flop の等価回路図。



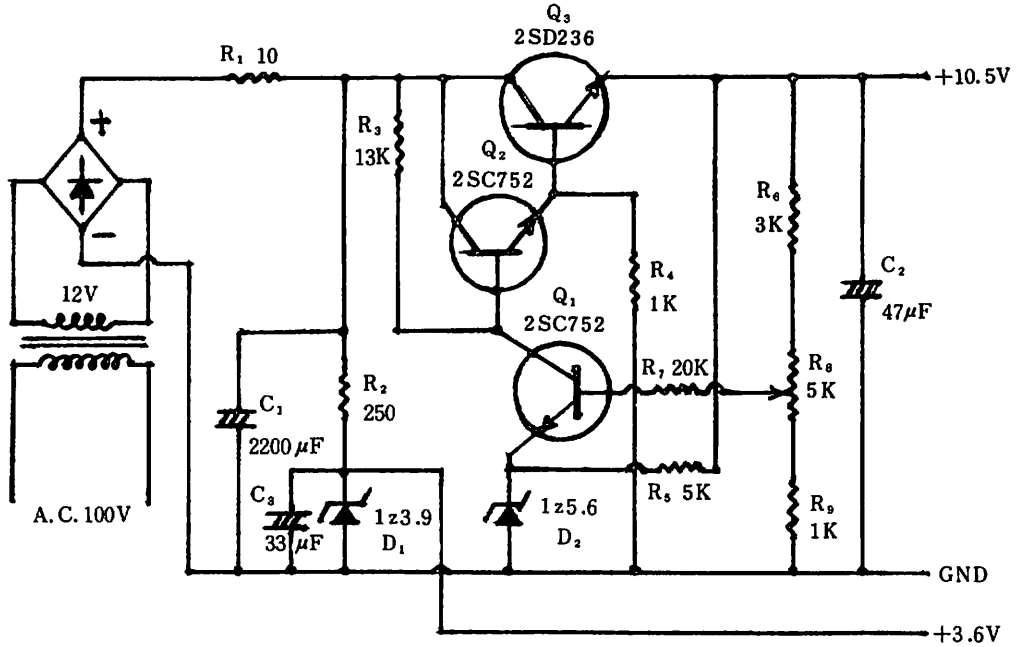
第8図 パルスの時間的経過とスレッシホルドレベル



第9図 M5962Pの、1組のDTL NAND 回路図

(3) 定電圧安定化直流電源

この装置に使用した定電圧安定化直流電源の回路図を、
第10図に示す。



第10図 使用直流電源回路 (定電圧安定化電源回路)

参考文献

- (1) 浅野安吉、井津元世士郎、木下紀男：日本産業技術教育学会誌 14号 (1972年3月) P. 63.
- (2) JOHN KEIT : POPULAR ELECTRONICS Including Electronics World Vol.1, No.6, (1972) P. 41
- (3) THOMAS C. BARTEE : DIGITAL COMPUTER FUNDAMENTALS
- (4) 角田秀夫：デジタル集積回路
- (5) 三菱モレクトロン (半導体集積回路) "71-" "72