

琉球大学学術リポジトリ

琉球大学HDLデザイン・コンテスト2001結果報告

メタデータ	言語: 出版者: 琉球大学工学部 公開日: 2007-08-23 キーワード (Ja): キーワード (En): HDL, VHDL, Verilog HDL, Design Contest 作成者: 和田, 知久, 翁長, 健治, 宮城, 隼夫, 吉田, たけお, 尾知, 博 メールアドレス: 所属:
URL	http://hdl.handle.net/20.500.12000/1432

琉球大学 HDL デザイン・コンテスト 2001 結果報告

和田 知久*, 翁長 健治**, 宮城 隼夫*, 吉田 たけお*, 尾知 博***

University of the Ryukyus HDL Design Contest 2001 Summary

Tomohisa Wada*, Kenji Onaga**, Hayao Miyagi*, Takeo Yoshida*, and Hiroshi Ochi***

Abstract

Asia pacific international University students gathered in Okinawa, Japan, on March 16th to participate in University of the Ryukyus HDL Design Contest 2001 hosted by the University of the Ryukyus' Department of Information Engineering. Not only Japan Universities and colleges, but also students from Korea Chosun University and Vietnam Hanoi University of Technology participated the contest. Of the 69 applicants, 11 finalists were chosen for the contest with their original designs on digital CDMA (Code Division Multiple Access) receiver, which is famous as the protocol for mobile phones. A proud and triumphant team of the 4th undergraduate student of Osaka University was awarded first prize.

Key Words: HDL, VHDL, Verilog HDL, Design Contest

1. コンテストの趣旨および概要

琉球大学では、ハードウェア記述言語を (VHDL または Verilog HDL) を用いた LSI デザイン・コンテストを開催しました。SOC(システム・オン・チップ)と言われる大規模な集積回路の実現が可能な今、小指の爪のようなシリコン・チップに何千万ゲートからなる大規模なシステムが集積可能です。マルチ・メディア・アイランドを目指す沖縄県にとっては、マルチ・メディアを支える KEY デバイスであるそのような超 LSI システム設計のできる人材育成に力を入れ、琉球大学工学部情報工学科では VHDL を用いたデジタル設計を通常の学部 2 年次の講義として提供しています。コンテストの目的は学生達にやや難易度と規模のある課題を与えて、デザイン能力を試すチャンスを与えることと同時に、他の大学や高専の学生達と交流し視野を広げること、そして国際的な視野をもってほしいことにあります。

コンテストは今年度が 4 回目であり、前年度より琉球大学の学生だけでなく、国内の他大学や高等専門学校も参加できるオープンなコンテストにしたことに続いて、本年度からは国際交流をもう一つの目標とし、アジア地域の学生の参加も可能としました。

ホームページ[1]によるデザイン・コンテストの PR と、LSI 設計関連の大学教官の方々に御協力頂いて宣伝を行い、2001 年 2 月 16 日の締切りまでに琉球大学情報工学科 2 年次チーム多数とその他に 14 チーム、計 69 名の参加がありました。参加団体は琉球大学、近畿大学九州、大分県立工科短期大学、九州工業大学、大阪大学、京都大学、豊田工業高専、大阪工業大学、そして国外よりベトナムのハノイ工科大学 (Hanoi University of Technology)、韓国の Chosun 大学です。事前選考の結果、国外の 2 チームを含む 9 チームの代表者を沖縄に招待し、琉大の 2 チーム、そして今回社会人参加の 1 チームと合わせて、計 12 チームによる発表会を 2001 年 3 月 16 日に琉球大学工学部にて行いました[2]。

コンテストの設計課題は携帯電話の方式で有名な CDMA (符号分割多重アクセス) 通信方式を用いたデジタル通信受信機で、応募者のレベルに対応するために 3 段階の難易度の課題を設定しました。各チームの

受理: 2001 年 7 月 6 日

*工学部情報工学科

(Dept. of Information Eng., Fac. Of Eng.)

**デジタル社会総合研究所

(Digital Society Research Institute)

***九州工業大学電子情報工学科

(Dept. of Computer Science and Electronics, Kyusyu Institute of Technology)

代表者がそれぞれ独自のアプローチで設計した回路方式を発表し審査の結果、最優秀賞である「You are No. 1」賞（副賞：各メンバーに5万円相当の賞品）、各賞として「Originality Design」賞、「High Performance」賞、「Interesting Design」賞（副賞：各メンバーに3万円相当の賞品）を授与しました。

2. コンテストの設計課題／ポイント

今回の設計課題は「デジタル CDMA レシーバ」です。CDMA (Code Division Mutiple Access：符号分割多重アクセス) はその名のとおりに、複数の送信データを時間や周波数で分割することなく、同時に同じ周波数帯域にてデータを送信する方式です。この時に各データは見かけ上完全に混合してしまいます。この混合データを分離するために、各データに1と0からなる乱数のような系列符号 (PN 系列) を対応づけ、混合されて伝送されるデータを受信側で分離します。

図1に課題の CDMA 通信システムの略図を示します。今回の課題では3つのデータを同時に送信するシステムを想定します。CDMA デジタル送信機 (Digital Transmitter) は VHDL コードがすでに課題の中に与えられており、3つのチャンネル入力にそれぞれコード長127のPN系列で変調し、合成した信号を出力します。設計課題である CDMA デジタル受信機 (Digital Receiver) ではその合成信号をうけとり、所望のチャンネルのデータを復調します。

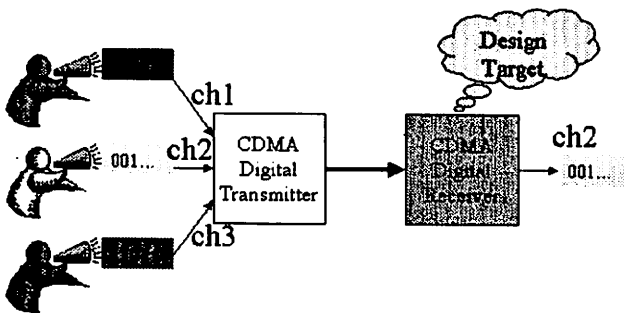


図1：CDMA 通信システム

現実の通信システムでは、送信機 (Transmitter) 出力を周波数ミキサーを用いて所望の周波数帯に変調して送信したり、実際の送信信号はアナログ信号であったりしますが、今回の設計課題では簡単のため、そのような周波数変調や、アナログ信号は使用しません。したがって、図1に示すシステムをすべてデジタルで設計するようにしています。また、通常は送信側と受信側には同一クロック信号は用いることはできず、受信側でクロック再生 (Clock Recovery) をする必要がありますが、今回は同期の取れたクロックが与えられ

たこととし、設計課題を容易化しています。しかしながら、上級者用の課題では127長のPN符号の開始時点を受信機にて自ら発見する必要があり、今回の設計課題での腕の見せ所となっています。

実際のデジタル処理を図2を用いて簡単に説明します。ここでは簡単のために、符号長7のPN符号を用いて説明します。3つのチャンネルそれぞれ1ビットのデータに対して、各チャンネルに特有なPN符号で変調し7ビット (長さ7の1ビット信号) の信号を生成します。変調は単なる XOR (排他的論理和回路) で実現されています。その3組の7ビット信号の各位置 (桁) において、加算を行います。図の例では整数で示されており {3 0 2 1 2 1 1} としめされています。この各桁は0から3の整数であり、2ビットの符号で示すことができます。したがって、長さ7の2ビット信号が送信機より出力されます。

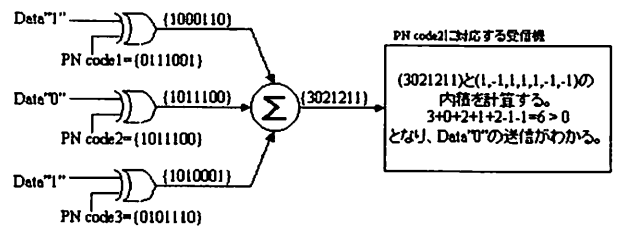


図2：具体的な計算処理

受信側でPN符号2 {1 0 1 1 1 0 0} に対応するチャンネル2のデータを復調したい場合は、この符号の |0| を |-1| に変換して、入力データ {3 0 2 1 2 1 1} と変換後の {1, -1, 1, 1, 1, -1, -1} を7次元のベクトルと考えて内積を計算します。そしてこの内積結果がある正の基準値より大きい場合、受信データは |0| と判断され、また別の負の基準値より小さい場合、受信データは |1| と判断されます。

デザイン・コンテストの設計ポイントのひとつは上記内積の計算器です。さらに上級課題でのポイントは127のPN符号の開始位置を発見する同期方式の設計です。127サイクルでやってくる受信信号の内積を計算し、その値が上記正と負の基準値の間にある場合はその127サイクルの先頭位置が正しくないこととなります。したがって、127の可能性のある先頭位置を127サイクルかけてひとつひとつ探す場合、 $127 * 127 - 1 = 16128$ サイクル必要となります。また、内部に127のレジスタを内蔵し、毎サイクル現在保持している127の受信データに対して内積計算をすれば、126サイクルで同期を確立する

ことは可能ですが、126個の加算器を内蔵する必要があり、127サイクルで内積をひとつ計算する場合の加算器が1つに比べて、回路規模が非常に大きくなることとなります。このあたりのトレードオフが今回の設計課題のポイントとなりました。

3. 招待者選考と参加各チームの設計結果レビュー

表1に発表会に参加した12チームのリストを示します。12番の社会人チームは別途CQ出版社ならびに、(株)アクセル者の社会人審査部門の最優秀チームで、今回は招待発表のみでした。沖縄での発表会の招待者は琉球大学と九州工業大学の教官3名で事前に選考会をおこなって決定しました。

表1 発表チームのまとめ

	チーム名	メンバー	所属	取り組んだ課題	特徴
1	阪神巨人	鹿島大吾 我如古都月	琉球大 B2年	中級	加算器1個 標準的設計
2	ツナギ部	堀内幸造 永原弓	近畿大学九州 B2年	初級	PN符号をテーブルで実現
3	花火	衛藤健太 長谷川雄毅	大分県立工科 短大B2年	上級	加算器127個
4	Chosun Univ, KOREA	Dong-Kyu Kim	Chosun Univ, KOREA	中級	C++で動作シミュレーション
5	義心	玉置祥 佐渡山陽 宮里 忍	琉球大 B3年	上級	加算器1個で同期遅いが、 面積的に小さい
6	迫(さこ)	迫 陽介	九工大 B4年	上級	転置型FIRフィルター
7	Hanoi Univeristy of Technology	Pham Hai Dan	Hanoi University, Vietnam	上級	加算器7個で同期を加算器1個に比べて7倍に加速
8	いつじろう	中村 佑介	九工大 B4年	上級	FIRフィルターで、127個の加算を7段のパイプラインで実現
9	清水新策	清水新策	阪大 B4年	上級	加算器8個で同期を加算器1個に比べて8倍に加速、同期後に7つの加算器を止めて低消費電力化
10	伊勢	伊勢正尚 内田好弘 濱中慎介	阪大 M1年	上級	エラーなしを前提にオリジナルにパターンをマッチングでデコードを行う。面積最小
11	なかみで勝負	中西龍太 富田明彦	京大 M1年	上級	FIRフィルターで、127個の加算を6段のパイプラインで実現、性能・速度が良い
12	へっほこ 社会人チーム	岡田一彦 谷口和也	富士通 VLSI 愛知県	上級	社会人招待チーム 招待講演で審査枠外

学部2年生、3年生相当以下のフレッシュマンセクションと、学部4年相当以上の経験者セクションに分け、それぞれに4組と7組の枠を設けて招待者を決定しました。結局、コンテストのメインの審査ポイントは上級者課題の同期方式と全体構成の選択、スピードと回路規模のトレードオフとなりました。ふたを開けてみると大きく分けて4つの同期方式の設計がなされました。

3.1 FIR フィルターを用いる方法

この方法では、受信機内部に最新の127の受信データを保持するレジスタを内蔵し、毎サイクルで127のデータにシフト動作が行われるごとに、127のサイズの内積計算を行うものです。したがって、毎サイクルに127サイズの内積計算が必要となり、12

7個の加算器が必要となります。#8いつじろうチームと#11なかみで勝負チームがこの方式で設計を行い、127オペランドの加算処理をそれぞれ、7段と6段のパイプライン動作で実現しました。この時、加算が進むにつれてデータパスのビット幅を大きくするなどの、工夫もなされていました。

3.2 パラレル度を変える方法

最も単純なのは加算器を1つだけ用いて16128サイクルかけて遅く同期を確立する方式で、これは#5義心チームが採用した方法です。しかしながら、このチームは面積を最小化するためにコードの最適化等を行ったらしく、加算器ひとつで同期信号を外部から得る中級課題のチームより小さな回路規模を実現し、目を引いていました。

上記加算器1つの改良として加算器を7つ、8つとして7倍、8倍のスピードで同期を確立する設計を#7Hanoi大チームと#9清水新策チームが行いました。7という数の選択はラッキー7が理由だそうです。ベトナムでも7はラッキーナンバーということがわかりました。#9の清水新策チームは同期を確立した後は、不要な7個の加算器の動作を止めることで消費電力を低減する工夫を披露し、優れた設計をアピールしていました。

#3花火チームは最大の並列度である127の加算器を用いる方法で実現しました。加算器の数としてはFIRフィルター方式と同じです。しかしながら、FIRフィルター型に比べて面積が大きくなるようであり、性能的にやや残念な結果となりました。

3.3 転置型FIRフィルターを用いた方法

FIRフィルターでは、127の加算を同時に行う必要があります、サイクルタイムを短くするために加算器を6段や7段のパイプラインステージに分割する必要性がありました。転置型FIRフィルター方式では、加算をFIRフィルターの異なるステージに分散して配置できますので、上記のようなパイプラインステージに分割する必要がなく斬新な設計手法です。#6迫チームがこの方法で実現しました。今回の課題ではFIRフィルター方式では127のレジスタは各2ビットで構成できますが、転置型FIRフィルターでは127のレジスタは加算の中間地を保持するので、8ビット程度のサイズが必要となり、回路規模的にやや大きくなってしまいました。ただ、加算用の余計なパイプラインが不要ですので、データ出力のレイテンシ（遅延時間）を短縮することができます。

3.4 独自のパターンマッチングを用いた方法

さて、まったくCDMAの内積計算を無視して取り組んできたのが、#10伊勢チームです。仕様書に通信路でのエラーの記述がなく、3チャンネルの送信信号間では同じ時刻にPN系列が開始する仕様を利用して、送信データから特別な短いシーケンスを発見することで、データのデコードができることに気が付きました。回路的には加算器一つの場合約400程度の回路サイズになるところ、68という劇的に小さい受信機の設計に成功しました。ただ、エラーを無視していますので、審査員によっては評価が分かれるところでもありました。

4. コンテスト発表会

コンテスト発表会は2001年3月16日(金)に、琉球大学工学部で行われました。発表会への参加人数は60名を超え、海外からの発表者や一部審査員に海外の方もいらっしゃいますので、英語と日本語が飛び交いながら、和気藹々とした発表会と質疑応答を繰り返すことができました。審査の結果、#10伊勢チームが「Originality Design」賞、#5義心チームが「High Performance」賞、#11なかみで勝負チームが「Interesting Design」賞を受賞し、副賞として各メンバーに3万円相当の賞品が授与されました。最優秀賞である「You are No. 1」賞は#9清水新策チームが受賞し、副賞として5万円相当の賞品が授与されました。また、参加者全員に図3のようなデザインのオリジナルTシャツと、日本シノプシス社から頂いた工具懐中電灯がプレゼントとして配られました。審査員と発表者の写真を図4に示します。



図3 オリジナルTシャツのデザイン



図4 コンテスト参加メンバーと審査員

5. 今後の予定

琉大情報工学科主催のデザイン・コンテストは来年以降もオープンな形で、また国際的に参加可能な形で、継続してゆく予定です。優秀チームの代表者を琉球大学へ招待し、本年同様に参加者全員にオリジナルTシャツを、優勝・準優勝者に豪華賞品を出す予定であり、HDLによるデザインに興味ある学生諸君の参加を期待しています。

琉球大学のある沖縄は本土から感覚的に遠く、このようなチャンスで学生・教官の交流を深めることができ、非常に有意義なイベントと考えています。また、特に今回は韓国、ベトナム、台湾からの学生・教官の参加を頂き、沖縄が地理的にアジアに近く、今後アジアとの連携を行ってゆくことが非常に重要であるということを経験を通して学べたように思います。沖縄に遊びに来たいという不純な動機も含めて歓迎しますので、ドシドシ参加をお願いします。

なお、このコンテストは、日本シノプシス社からの奨学寄付金でサポートされています。

参考文献

[1]

<http://bw-www.ie.u-ryukyu.ac.jp/~wada/design00/contest2001.html>

[2]

<http://bw-www.ie.u-ryukyu.ac.jp/~wada/design00/conference.html>