

琉球大学学術リポジトリ

レーザーアニールによる接合形成と高性能パワーSi MOS FETs に関する研究

メタデータ	言語: 出版者: 琉球大学 公開日: 2017-03-21 キーワード (Ja): キーワード (En): 作成者: 陳, 訳, Chen, Yi メールアドレス: 所属:
URL	http://hdl.handle.net/20.500.12000/35665

博士（工学）学位論文

レーザーアニールによる接合形成と
高性能パワーSi MOS FETs に関する研究

**Research on Junction Formation
Using Laser Annealing
For High Performance Si Power MOS FETs**

2016年9月

September 2016

陳 訳

Yi Chen

琉球大学

大学院理工学研究科

生産エネルギー工学専攻

Material, Structural and Energy Engineering Course Major

Graduate School of Engineering and Science

University of the Ryukyus

博士（工学）学位論文

レーザーアニールによる接合形成と
高性能パワーSi MOS FETs に関する研究

**Research on Junction Formation
Using Laser Annealing
For High Performance Si Power MOS FETs**

2016年9月

September 2016

陳 訳

Yi Chen

琉球大学

大学院理工学研究科

生産エネルギー工学専攻

Material, Structural and Energy Engineering Course Major

Graduate School of Engineering and Science


University of the Ryukyus


指導教員：教授 野口 隆


Supervisor: Prof. Takashi Noguchi

本論文は、博士(工学)の学位論文として適切であると認める。

論文審査会

野口 隆 
(主査) 野口 隆

景山 弘 
(副査) 景山 弘

鈴木俊治 
(副査) 鈴木 俊治

要旨

パワーMOS FET (Metal-Oxide-Semiconductor Field-Effect Transistor) は、高速動作、低駆動電力、低損失、広い安全動作領域などの電気特性を有し、この特長から現在では最も普及したパワー半導体デバイス的一种になっている。近年、タブレット PC やスマートフォンモバイルの急速な普及によって、バッテリー、ワイヤレスチャージおよびCPU電源などで使われる低電圧パワーMOS FETの需要がますます高まっている。その内、特に低電圧 (デバイスの設計耐圧が 40 V 以下の場合、低電圧デバイスという) パワーMOS FET の性能 (通電損失がいかに少ないか、スイッチング特性がいかに速くなるか) に対する要求は、今まで以上に求められている。パワーMOS FET 性能を向上するため、動作抵抗の低減がコア技術となっている。パワーMOS FET が動作する際に、動作抵抗は、チャンネル抵抗、ドリフト抵抗および電極間のコンタクト抵抗によって構成されている。特に低電圧パワーMOS FET の場合、チャンネル抵抗成分は、総抵抗の半分以上を占めている。そのため、チャンネル抵抗を低減するための研究が盛んに行われている。その内、チャンネル長の短縮がチャンネル抵抗低減において最も有効な方法とされている。チャンネル長を短縮するためには、P-Base の拡散層の幅を抑えることが重要である。素子製造プロセスでは、P-Base 拡散層を形成するために電気炉を用いる熱拡散処理することが普通となっているが、電気炉による熱アニールではP-Base の拡散層の幅の制御に限界がある。不純物拡散を制御し、浅い接合を得るために、高温短時間アニールプロセスを迫及していくことが次世代高性能パワーMOS FET を実現するために欠かせない鍵になっている。

本研究では、浅い接合を形成するための有効な高温短時間アニール技術に焦点を当て、パワーMOS FET 素子の P-Base 層接合形成に対してのアニール技術の可能性と有効性について実験的に検討した結果を述べる。新たなパルスレーザーアニール技術導入によるシリコン中の接合不純物拡散と活性化の有効性確認の実験と解析評価を行い、実験結果に基づき、レーザーアニールによる接合形成のメカニズムを解析、考察した。実験結果をもとに、次世代に向けて、レーザーアニール技術を用いた高性能パワーMOS FET 素子作製のプロセスを提案する。

目次

第1章 序論	1
1.1 現代社会とパワー半導体デバイス	1
1.2 パワー半導体デバイスの歴史と概要	2
1.3 パワー半導体電力変換の役割	3
1.4 パワー半導体デバイスの市場動向	6
1.5 パワー半導体の応用分野	8
1.6 パワーMOS FET の基本構造と動作原理	10
1.7 次世代パワー半導体デバイス	17
参考文献	19
第2章 レーザーアニールについて	21
2.1 レーザーアニール技術の歴史	21
2.2 レーザーアニールによる結晶化	23
2.3 高出力 (高エネルギー) レーザー装置について	24
2.3.1 エキシマレーザーの特徴	24
2.3.2 グリーンレーザーの特徴	28
2.3.3 ブルーレーザーの特徴	32
2.4 結晶化とレーザー装置の光源	33
参考文献	35
第3章 レーザーアニールによる浅接合の形成	37
3.1 浅い接合の必要性	37
3.2 従来プロセスの限界	39
3.3 レーザーアニールプロセスの提案	41
参考文献	42
第4章 レーザーアニールプロセスの検証	43
4.1 エキシマレーザーアニール (ELA) による P-Base 接合層の検証実験	43
4.2 ELA 処理後の試料解析	46
4.2.1 表面観察	46

4. 2. 2	シート抵抗の測定	4 7
4. 2. 3	拡がり (4 探針) 抵抗測定	4 8
4. 2. 4	二次イオン質量分析 (SIMS) 法による P-Base 層の解析	5 0
4. 2. 5	透過電子顕微鏡による P-Base 層の断面形態観察	5 1
4. 3	グリーンレーザーアニール (GLA) による P-Base 接合層の検証実験	5 2
4. 4	GLA 処理後の試料解析	5 4
4. 4. 1	表面観察	5 4
4. 4. 2	拡がり抵抗 (4 探針) の測定	5 5
4. 4. 3	二次イオン質量分析 (SIMS) 法による P-Base 層の解析	5 6
4. 4. 4	紫外反射分光法による解析	5 7
4. 5	考察	5 8
	参考文献	6 0
第 5 章 レーザーアニールのパワーMOS FET プロセスへの応用		6 1
5. 1	レーザーアニール技術の高性能パワーMOS FET プロセスへの応用	6 1
5. 2	試作デバイスの評価	6 6
5. 2. 1	試作デバイス実際構造の評価	6 6
5. 2. 2	試作デバイス耐圧特性の評価	6 7
5. 2. 3	試作デバイスリーケージ特性の評価	6 8
5. 2. 4	試作デバイスしきい値電圧特性の評価	6 9
5. 2. 5	オン抵抗 (R_{ON}) の測定	7 1
5. 2. 6	試作デバイスのしきい値電圧のバラツキ評価	7 2
	参考文献	7 3
第 6 章 結論		7 4
研究業績		7 5
謝辞		7 8

第1章 序論

1. 1 現代社会とパワー半導体デバイス

エネルギーの高度で高効率な使用を測る高度エネルギー化社会の構築にあたっては、電力エネルギーを制御するパワーエレクトロニクスが基幹技術としてその重要性を増し、パワーエレクトロニクスのキーデバイスであるパワー半導体デバイスに対しては、その高性能化と高機能化がより一層期待されてくる [1]。

パワー半導体デバイスは、情報通信機器、民生機器、産業機器、自動車、電鉄、新エネルギー（太陽光発電、風力発電など）、電力送電システムなど幅広い分野で使われている。産業用ではファクトリ・オートメーション向けに、モーター駆動用の汎用インバータ、工作機械やロボットなどにパワー半導体デバイスは欠かせない素子である。また、EV (Electric Vehicle : 電気自動車)、EHV (Electric and Hybrid Vehicle : 電気ハイブリッド自動車) など駆動系だけではなく、パワーウインドーやパワーステアリングにもパワー半導体デバイスが利用されている [2]。身近なところでは、省エネルギー化のためにエアコン、洗濯機、冷蔵庫のインバータ化が急速に拡大している [3]。こうした背景をもとに、低損失、高効率のパワー半導体デバイスへの重要が着実に拡大している。

第1章では、パワー半導体デバイスの歴史、電力変換素子としての役割、市場動向、応用分野、および最近、著しく高性能化されているパワーMOS FET に関して、その構造の概要を説明する。また、次世代のパワー半導体材料として期待されているワイドバンドギャップである単結晶 SiC と GaN についても簡単に触れる。

第2章では、レーザーアニール技術の歴史、応用分野およびレーザーアニール装置の特徴について述べる。

第3章では、従来プロセスの限界およびレーザーアニールプロセスの必要性について述べる。

第4章では、パワーMOS FET 素子のベース接合の形成にレーザーアニール技術の可能性と有効性について実験的に検討した結果を述べる。

第5章では、レーザーアニールプロセスの導入による作製したデバイスの電気特性の評価結果について述べる。

1. 2 パワー半導体デバイスの歴史と概要

情報通信技術の発展を支えるエレクトロニクスを電力エネルギーの変換や制御に応用するパワーエレクトロニクスが、近年大きな注目を集めるようになった。パワー半導体デバイスを利用したパワーエレクトロニクスによって、電気エネルギー利用の効率化が図れ、大きなエネルギー削減効果がもたらされるとともに、環境負荷低減の推進が期待されている。

パワー半導体デバイスとは、電力の制御や変換、供給を行うための半導体素子である。自動車や鉄道といった産業機器用途から、再生可能エネルギー用途、さらにはエアコンや冷蔵庫などの民生機器用途まで幅広く用いられている。近年は、省エネルギー対策の重要性が増しており、世界的な低消費電力・高効率化・CO₂削減などのニーズを背景に、太陽光発電や風力発電などの再生可能エネルギー、スマートグリッド、EV (Electric Vehicle)、EHV (Electric and Hybrid Vehicle) などのエコカーで適用される様々なパワーエレクトロニクス技術のキーデバイスとしてパワー半導体デバイスの重要性が高まって来ている。パワー半導体の材料としては、一般的にシリコン (Si) が使用されている。最近では、パワー半導体デバイスを更に高効率化するために、Si に変わる基板材料として SiC (シリコンカーバイド、炭化ケイ素) や GaN (ガリウムナイトライド、窒化ガリウム) が注目されている [4-6]。

パワー半導体デバイスの実用化は、1960 年代のサイリスタによる大電流制御が可能になったことが始まりである。その後、自己消弧 (自己ターンオフ) 型デバイスである GTO (Gate Turn Off) サイリスタや BJT (Bipolar Junction Transistor : バイポーラパワートランジスタ) が開発された [7]。

1970 年代には、絶縁ゲートによる電圧制御のパワー MOS FET (Metal Oxide Semiconductor Field Effect Transistor: 金属酸化膜半導体電界効果トランジスタ) が開発され、高速動作可能なパワー半導体デバイスが実用化された。そして、1980 年代後半に開発された IGBT (Insulated Gate Bipolar Transistor : 絶縁ゲートバイポーラトランジスタ) は、絶縁ゲートによる電圧制御とバイポーラ型による大容量特性を兼ね備えたデバイスとして、パワーエレクトロニクス技術を更に発展させた [8]。IGBT については、その後、現在に至るまで、高性能化、低損失化、および高機能化への取り組みが継続して進められている。

これに並行して、パワー半導体デバイスを使い易くするために、過熱保護機能や過電流保護機能をインテリジェント化した IPM (Intelligent Power Module) が開発され、様々なパワーエレクトロニクス装置に適用され、その高機能化に貢献してきている。更に、HVIC (High Voltage Integrated Circuit: 高耐圧集積回路) の技術開発により、制御回路を 1 つのパッケージに内蔵した超小型 IPM が実現されている [9]。パワー半導体デバイスの回路設計における微細化のレベルは、超 LSI (Large Scale Integration) にくらべると一桁ほど粗い約 0.35 μm である [10]。

1. 3 パワー半導体電力変換の役割

電力の利用では、目的に応じて、電力の属性である電圧、電流、周波数、位相などを変換して有効利用される。電力変換はパワーエレクトロニクス技術を使って行われる。電力変換は、電力変換デバイスの整流機能やスイッチング機能を使い、電圧や電流の平均値や実効値を時間的に変化させ、さらにインダクタンスやコンデンサーバッファ機能を使ってエネルギー流の制御を行う [1]。

パワー半導体デバイスは、スイッチング機能と整流機能を使ってパワーエレクトロニクスシステムでの電力変換を行う役割を果たすが、その基本動作はスイッチング(オン/オフ)である。

図 1.1 にパワー半導体(電力変換)デバイスのスイッチング回路およびスイッチング波形を模式的に示す [7]。このスイッチング機能とは、同図に示すように制御信号により導通(オン状態)および遮断(オフ状態)を制御することである。

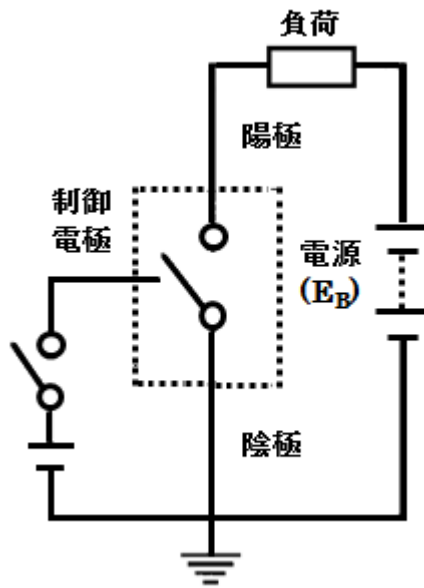
パワー半導体デバイスのターンオン時とターンオフ時には、短時間ではあるが電流と電圧の積で大きな損失(ターンオン損失とターンオフ損失)が発生する。また、ターンオンした後は導通状態となり電流が流れるが、その場合にはオン電圧が発生し、導通による電力損失(以下、導通損失と称す)が発生する。

式 (1.1) に示すように、総発生損失は1回のスイッチング損失を周波数倍した項と、導通損失に電流が流れている割合(Duty)を掛けた項の総和で表される [7]。

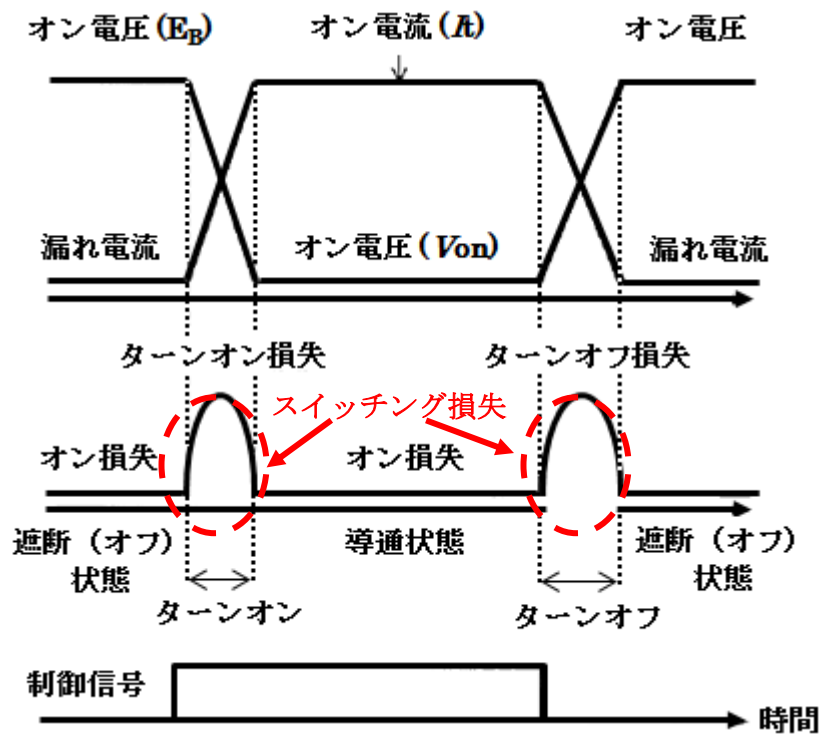
$$P(W) = (P_{swon} + P_{swoff}) \times f(\text{Hz}) + I_t \times V_{on}(W) \times D \quad (1.1)$$

式 (1.1) 中の $P(W)$ は総発生損失、 P_{swon} はターンオン損失、 P_{swoff} はターンオフ損失、 $f(\text{Hz})$ はスイッチング周波数、 I_t は損失発生時のオン電流、 V_{on} はオン電圧、 D は Duty である。ここでの問題は、パワー半導体デバイス自身の発生損失により熱が発生することであり、その結果、素子及び機器の温度が上がる現象を抑えることが必要になる [7]。

パワー半導体デバイスによる電力変換は、電力変換に伴う電力損失が出力電力と比較して限りなく小さいことが前提になる。総発生損失 P は導通損失とスイッチング損失の総和であるため、駆動周波数を可能な限り高く上げようとするれば、スイッチングによる損失が大きくなることが問題となる。パワー半導体デバイスの設計においてスイッチング損失と導通損失の両者を下げることが重要な課題となる。パワー半導体デバイスでは、この発生損失の低減、つまり、オン抵抗 (R_{on}) の低減に対する取り組みが盛んに行われている。



(a) スイッチング回路



(b) スイッチング波形

図 1.1 パワー半導体デバイスのスイッチング動作 [7]

式 (1.2) に示すように、この総発生損失 P (W) に熱抵抗 R_{th} ($^{\circ}\text{C}/\text{W}$) を乗じ、この値にパワー半導体デバイスの周囲温度 T_a ($^{\circ}\text{C}$) を足せばチップ接合温度 T_j ($^{\circ}\text{C}$) が求められる [7]。

$$T_j (^{\circ}\text{C}) = P (\text{W}) \times R_{th} (^{\circ}\text{C} / \text{W}) + T_a (^{\circ}\text{C}) \quad (1.2)$$

一般的にシリコン材料で作製されているパワー半導体デバイスの接合温度 T_j の最大値は 150°C から 175°C 程度であり、この値を超えると破壊に至る恐れがあるので、最大接合温度以下で使用しなければならない。なお、最近では、SiC を材料としたパワー半導体デバイスも開発されていて、接合温度 T_j の制限が 300°C 以上まで緩和できる可能性も議論されている [11]。

1. 4 パワー半導体デバイスの市場動向

2014 年のパワー半導体世界市場は堅調に拡大し、前年比 11.3 %増の 159 億 3,000 万ドルであった [12]。パワー半導体の世界市場は、MOS FET、ダイオードなどのディスクリート品から、パワーモジュールに市場の牽引役が移り、2020 年におけるパワー半導体の世界市場規模は 290 億 1,000 万ドル (メーカー出荷金額ベース) へ成長すると予測されている。また、SiC、GaN などを使った次世代パワー半導体世界市場は、2015 年以降から本格的に採用拡大が進み、2020 年の市場規模は 29 億 8,000 万ドルに達すると予測されている [12]。

世界のパワー半導体デバイス市場におけるメーカー別シェア (2015 年) を図 1.2 に示す [13]。トップシェアは、インフィニオンテクノロジーズ (欧州) の 13 %で、次いで 2 位は三菱電機 (日本)、3 位は ST マイクロエレクトロニクス (欧州) である。ここに社名が示された 18 社は、すべて日米欧の企業である。世界の半導体全体の市場が、約 3,000 億ドル (2015 年) であることと比較すると、半導体市場全体の約 20 分の 1 のパワー半導体市場に、多くの企業が参入していることが分かる。

応用分野別の世界パワー半導体デバイス市場規模の推移を図 1.3 に示す [13]。2010 年以降の市場は、産業機器 (Industrial)、民生機器 (Consumer)、自動車 (Automotive) が大きなシェアを占めており、これらは成長分野である。2013 年にはこれら 3 分野で全体の 77 %を占めている。

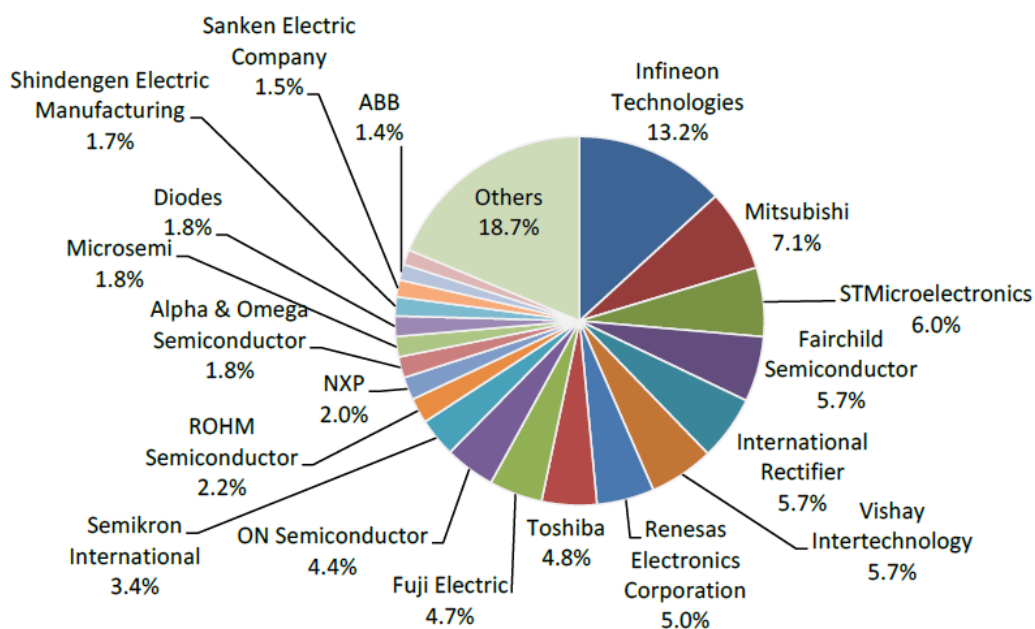


図 1.2 世界のパワー半導体デバイス市場のメーカー別シェア (2015 年) [13]

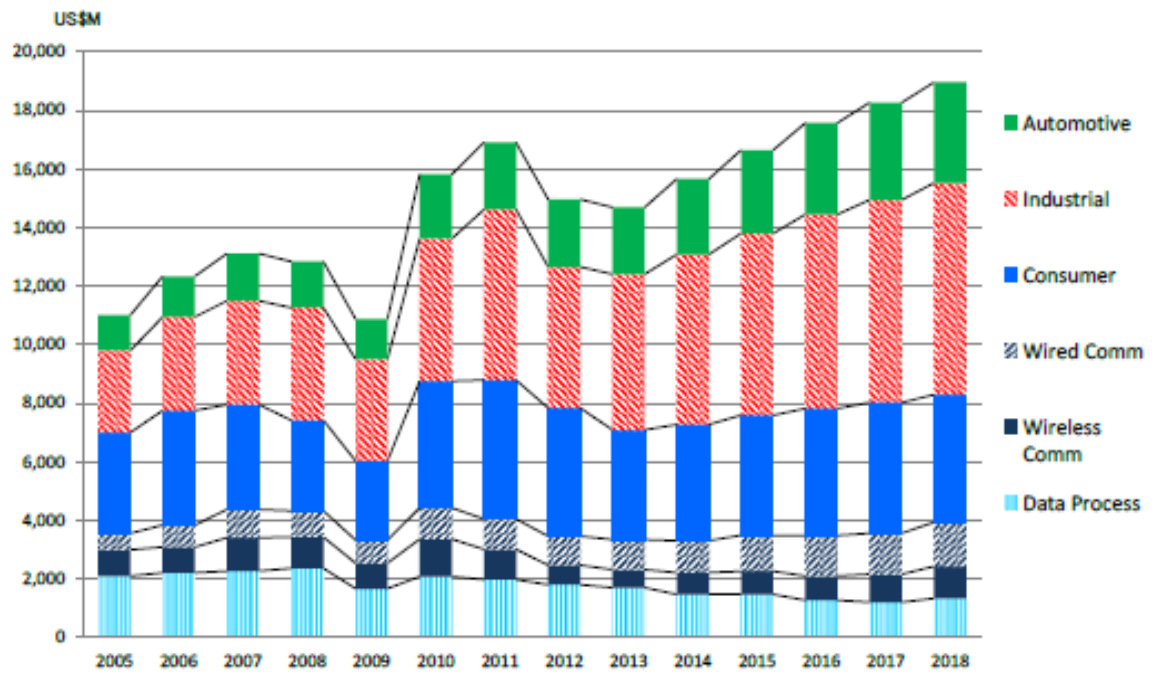


図 1.3 世界のパワー半導体デバイス市場の応用分野別の推移 [13]

1. 5 パワー半導体の応用分野

図 1.4 は、パワー半導体の主なアプリケーションを示す [14]。横軸にはデバイス容量 (VA) と縦軸に動作周波数 (Hz) を取り、パワー半導体を使用したパワーエレクトロニクス装置とアプリケーションを示している。

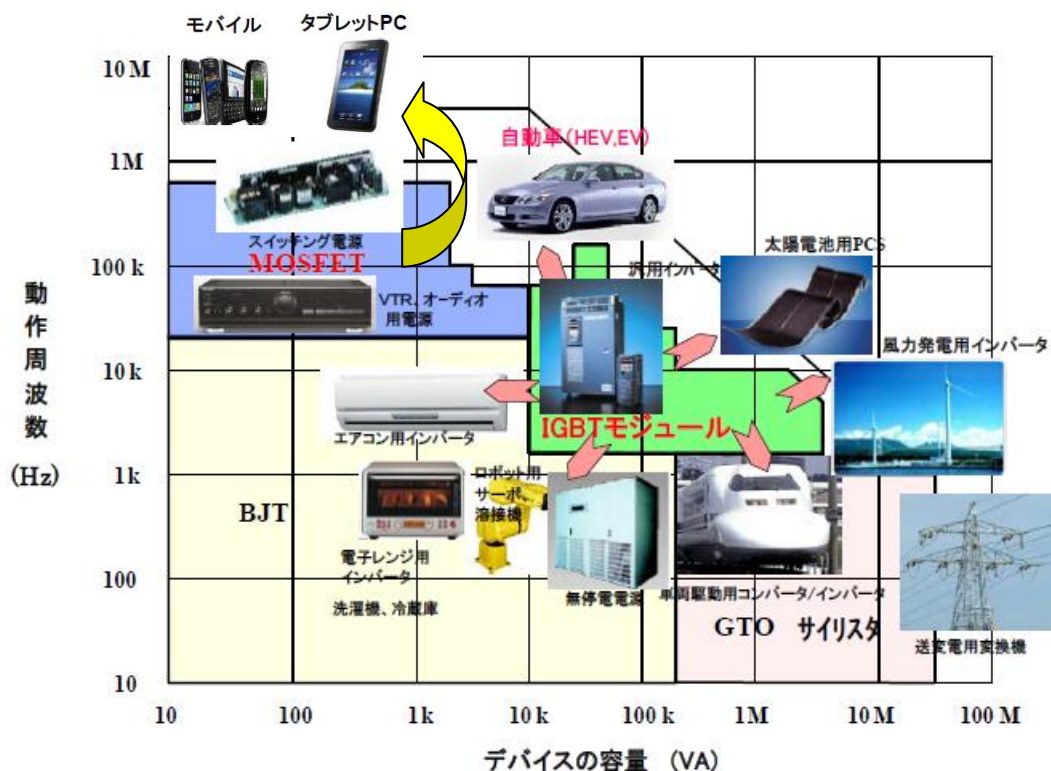


図 1.4 パワー半導体の主なアプリケーション [14]

用途によって求められるパワー半導体デバイス容量、周波数などが異なるので、使用されるパワー半導体デバイスは、各応用製品に適した種類や構造が選択される。たとえば、タブレット PC、小型情報通信機器、家電製品の電源、自動車の駆動系以外の電装品などの小電力分野にはパワーMOS FET が、エアコン、車両の駆動系、産業用無停電電源装置、分散電源 (太陽光、風力発電システム等) などの中電力分野には IGBT が、発電・変電設備などの大電力分野にはサイリスタが使われることが多い。パワー半導体デバイスとしての歴史が長いサイリスタは、鉄道車両の駆動系や、照明の照度制御のような中電力・小電力分野にも従来使われていた。最近では中電力以下の分野で、サイリスタが IGBT や MOS FET などのトランジスタに徐々に置き換わって

いく傾向がみられる [15]。

次に、パワー半導体デバイスとして代表的なパワーMOS FET 半導体デバイス基本構造と動作原理を説明する。

1. 6 パワーMOS FET の基本構造と動作原理

パワーMOS FET は、キャリアの流れを、酸化膜を介して電界で制御する絶縁ゲート型の電界効果トランジスタであり、動作原理は一般の MOS FET と同じである [16]。MOS FET は電子または正孔のいずれかをキャリアとするユニポーラデバイスである。

キャリアが移動するゲート酸化膜直下の領域をチャンネルと呼び、キャリアが電子であるものを n チャンネル MOS FET、正孔であるものを p チャンネル MOS FET と呼ぶ。図 1.5 に n チャンネルパワーMOS FET の断面構造を示す。図 1.5 ではパワーMOS FET として DMOS FET (Double diffused MOS FET) を示す [17]。パワーMOS FET は、ソース (Source)、ドレイン (Drain)、ゲート (Gate) の 3 端子デバイスであり、 n^+ ドレイン領域上の n ドリフト領域表面に p ベース領域と n^+ ソース領域が形成され、p ベース領域の上に酸化膜とゲート電極が配置された構造となっている (p チャンネルのパワーMOS FET は n と p がすべて逆)。パワーMOS FET の場合、高電流密度、高耐圧化を目的にドレインは裏面に形成される。そのため、ほとんどのパワーMOS FET は、図 1.5 に示されたような縦構造になっている。

n^+ の + の記号は通常の n より濃度が高い場合に付与する。逆に、 n^- の - の記号は通常の n より濃度が低い場合に付与する。キャリアである電子はソースからドレイン、すなわち表面から基板裏面へ流れ (電流は基板裏面から表面に向けて流れる)、ゲート電圧でソースドレイン間電流の制御を行う。

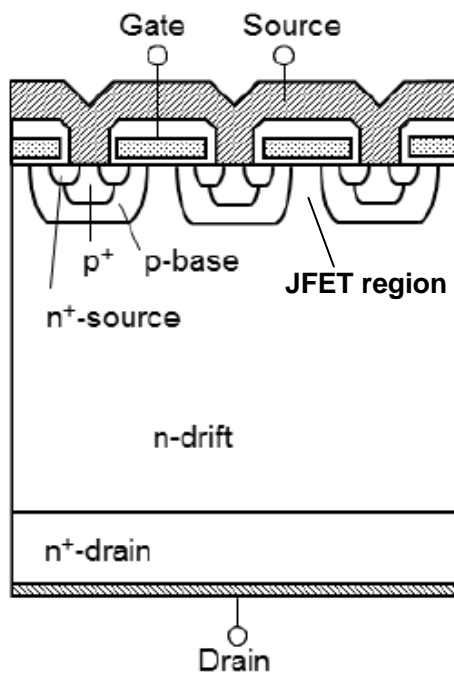


図 1.5 DMOS FET の断面構造図 [17]

図 1.6 (a)、(b) は DMOS FET の動作状態を示したものである [17]。(a) は DMOS FET のオン状態、(b) は DMOS FET のオフ状態の動作を示している。ゲートにプラス電圧を印加すると、p ベース領域表面に n 型の反転層が誘起され、n⁺ソースと n ドリフト間に電流経路 (チャネル) が形成される。この状態でドレインにプラス電圧が印加されればドレイン-ソース間に電流が流れ、オン状態となる。一方、ゲート電圧を 0 V にすると、p ベースの反転層は消滅するので、電流経路が遮断されるとともに、電圧を保持する空乏層がドリフト層に広がり、オフ状態となる。このようにゲートに印加する電圧を変えることで電流のオン/オフ状態の制御が可能となる。

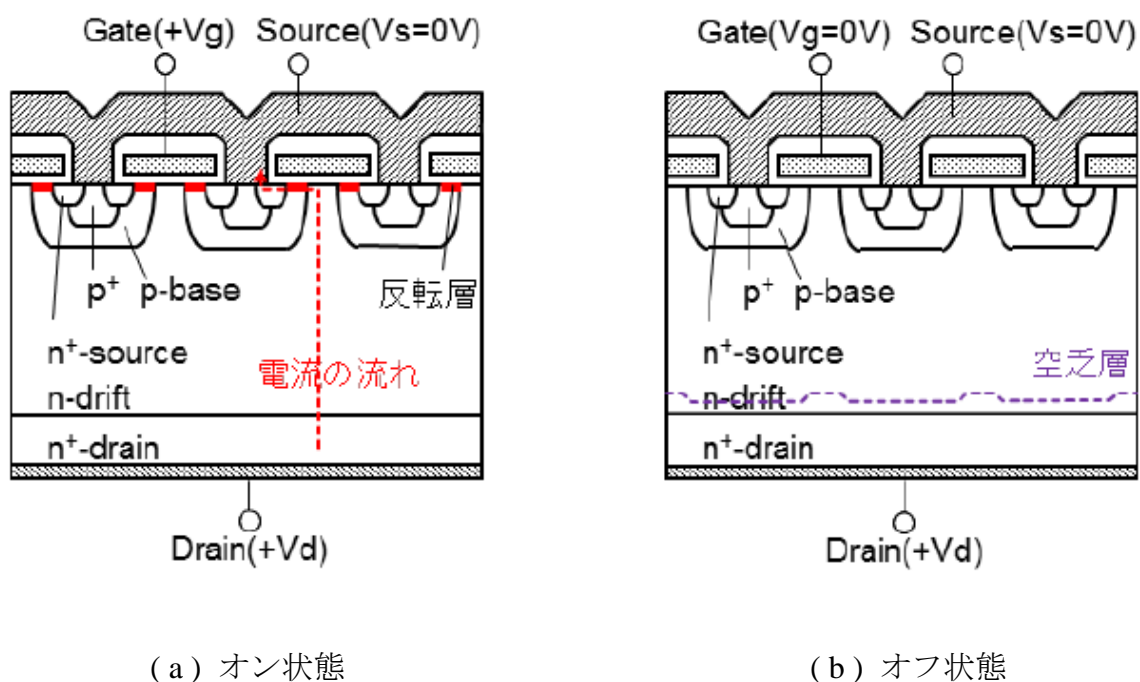


図 1.6 パワーMOS FET の動作 [17]

nチャネル型パワーMOS FETのキャリアは電子のみ (ユニポーラデバイス) であることから高速動作が可能であり、スイッチング周波数を数百 kHz と高くできる利点がある。一方、ユニポーラデバイスであるため、電子と正孔をキャリアとするバイポーラデバイスに比べて大電流化が困難なことが欠点である [18]。

パワーMOS FETとして要求される重要なパラメーターとして、ソースドレイン間の耐圧、スイッチング特性、安全動作領域およびオン抵抗 (R_{ON}) があげられる。パワーデバイス分野では、抵抗 (Ω) 成分のみにより表すのは、デバイス技術の性能の指標として不十分である。そのため、デバイス技術の性能指標として、活性部面積 (多くの単位セルが並列に並べられ、電流が導通する領域と定義される) とオン抵抗を掛

け算した値がパワーデバイスのオン抵抗 (R_{ON}) として定義されている。そのためオン抵抗の単位は $\Omega \cdot \text{cm}^2$ となる。オン抵抗特性は、パワーエレクトロニクスシステムの変換効率に直接関わるため、最も重要な特性と見なされる [17]。

図 1.7 に DMOS FET のオン抵抗 [$\Omega \cdot \text{cm}^2$] の各成分を示す。DMOS FET のオン抵抗は各抵抗成分の総和である。式 (1.3) によって表される [17]。

$$R_{ON} = R_{CS} + R_{N^+} + R_{CH} + R_A + R_{JFET} + R_D + R_{SUB} + R_{CD} \quad (1.3)$$

ここで、 R_{CS} はソースコンタクトの抵抗、 R_{CH} はチャネル抵抗、 R_A は蓄積層の抵抗、 R_{JFET} は、p ベース層から伸びる空乏層によって挟まれた領域の抵抗、 R_D はエピタキシャル層の抵抗、 R_{SUB} は基板抵抗、 R_{CD} はドレインコンタクト抵抗である。

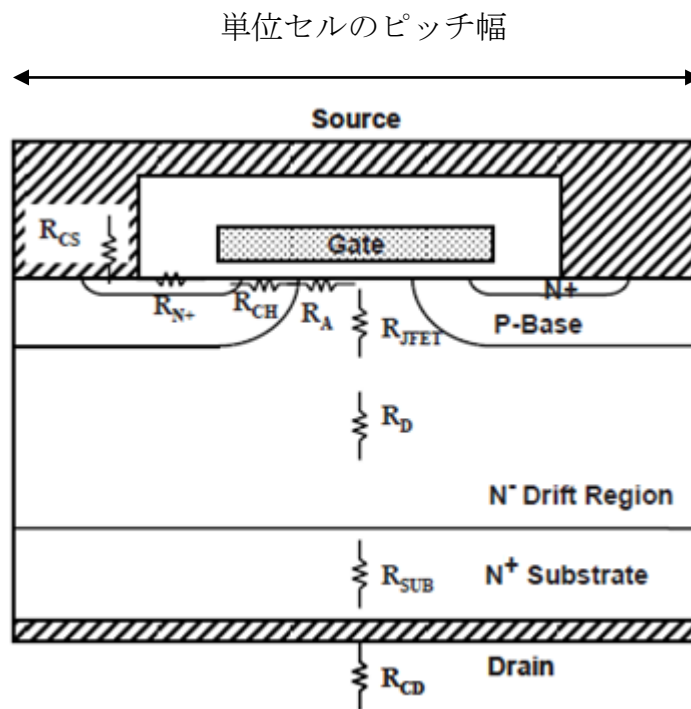
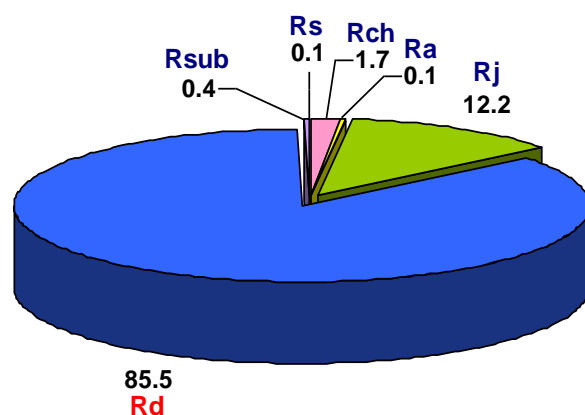


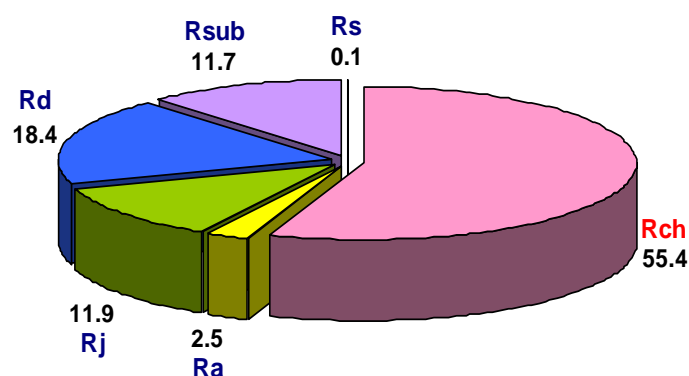
図 1.7 DMOS FET のオン抵抗の各成分 [17]

図 1.8 には、各電圧領域において、 R_{ON} を構成する各成分の構成比率を示す [19]。図から分かるように、これらの抵抗値のうち高い電圧 (>400 V) においては、 R_{ON} はドリフト抵抗 R_D の抵抗成分が支配的である。一方、低電圧 MOS FET (<200 V) に対

しては、 R_{CH} が大部分を占めている。



(a) 400 V 以上の DMOS FET の抵抗成分の比例



(b) 200 V 以下の DMOS FET の抵抗成分の比例

図 1.8 耐圧の異なる DMOS FET に影響するオン抵抗成分 [19]

しかし、DMOS FET は寄生 JFET という構造的な問題を抱えており、過度的な微細化を進めると、寄生 JFET の抵抗が増すためかえってオン抵抗が増大するという問題が生じる。この問題を解決するために、基板に対して垂直にトレンチ溝を掘り、トレンチの側壁をチャンネルとするトレンチ MOS FET (UMOS FET) が開発された [18]。UMOS FET の断面構造を図 1.9 に示す [17]。

100V 以下の低電圧パワー MOS FET では、UMOS FET が主流である。また、UMOS FET は図 1.10 に示すように寄生 JFET が存在しないため、微細化によりオン抵抗が低

減できるパワーMOS FET として提案された [18]。UMOS FET のオン抵抗は、次式 (1.4) のように表わされる [17]。

$$R_{ON} = R_{CS} + R_{N^+} + R_{CH} + R_A + R_D + R_{SUB} + R_{CD} \quad (1.4)$$

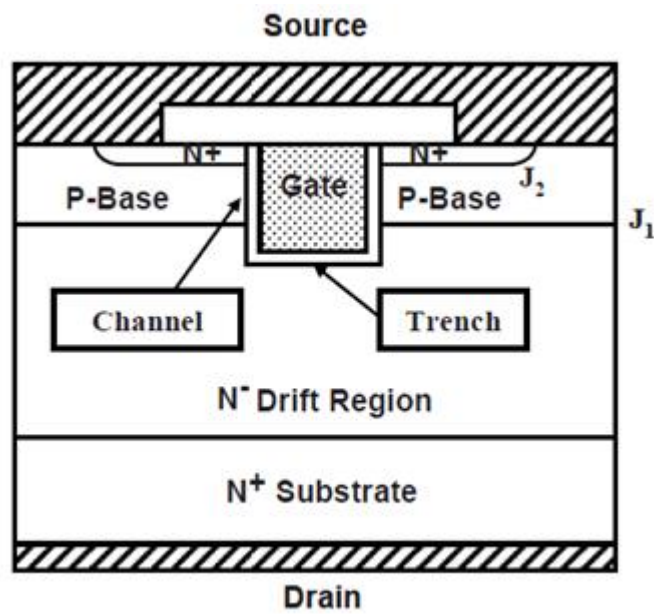


図 1.9 UMOS FET の断面構造図 [17]

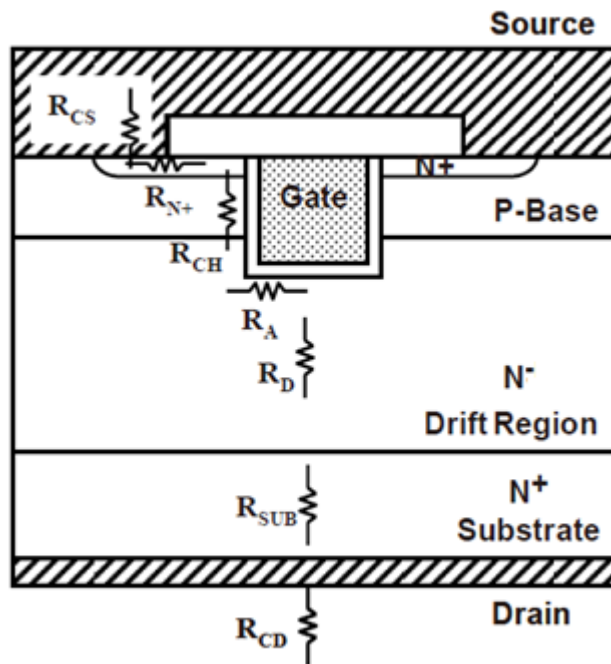


図 1.10 UMOS FET のオン抵抗の各成分 [17]

UMOS FET では、微細化で、単位面積あたりのゲート幅を増大させて、 R_{CH} と R_A を低減することにより、オン抵抗が低減されてきた。しかしながら、微細化によるオン抵抗の低減には限界がある。これらの問題を解決するには、二つのアプローチが挙げられる。

一つは、シリコンリミットを超える低オン抵抗化が可能な技術の採用で、CC 構造 (Charge-Coupled Structures) のパワー MOS FET である [20]。CC 構造の中で、最も早くシリコン限界を下回る超低オン抵抗を実証し、実用化されたのが SJ-MOS FET (Super Junction-MOS FET) である [21]。図 1.11 に SJ-MOS FET の断面構造を示す [22]。

図 1.5 に示すように、従来型の MOS FET のドリフト層を p 型領域と n 型領域とを交互に並んだ構造に置き換えたものが SJ-MOS FET であり、n 型領域の不純物濃度を高くできることから、オン抵抗を著しく低減することが可能となる [20-23]。しかし、SJ-MOS FET の内部に深い p 型エピタキシャル層を作りこむ必要があるため、製造工程が複雑になり、製造コストが高くなるというデメリットがある。

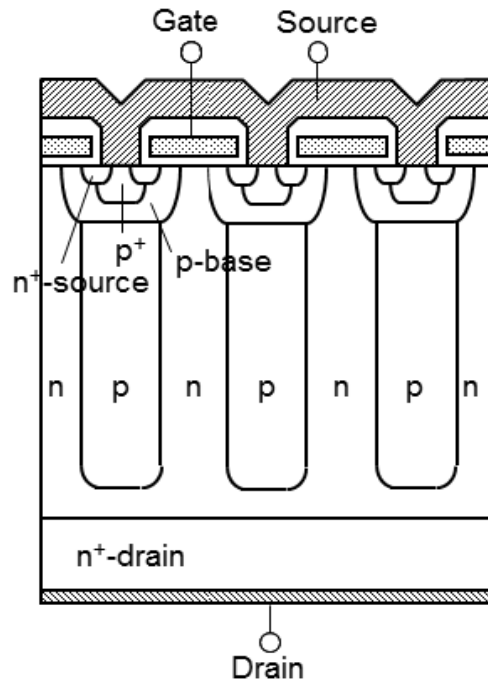


図 1.11 SJ-MOS FET の断面構造 [22]

もうひとつのアプローチとしては、総抵抗の半分以上を占めている R_{CH} の低減に注力し、新アニールプロセスによる浅い p ベース接合層の形成である。本論文では、p ベース層における不純物拡散を制御して、浅 p ベース接合を得るための高温短時間アニールプロセスの研究結果を中心に述べる。

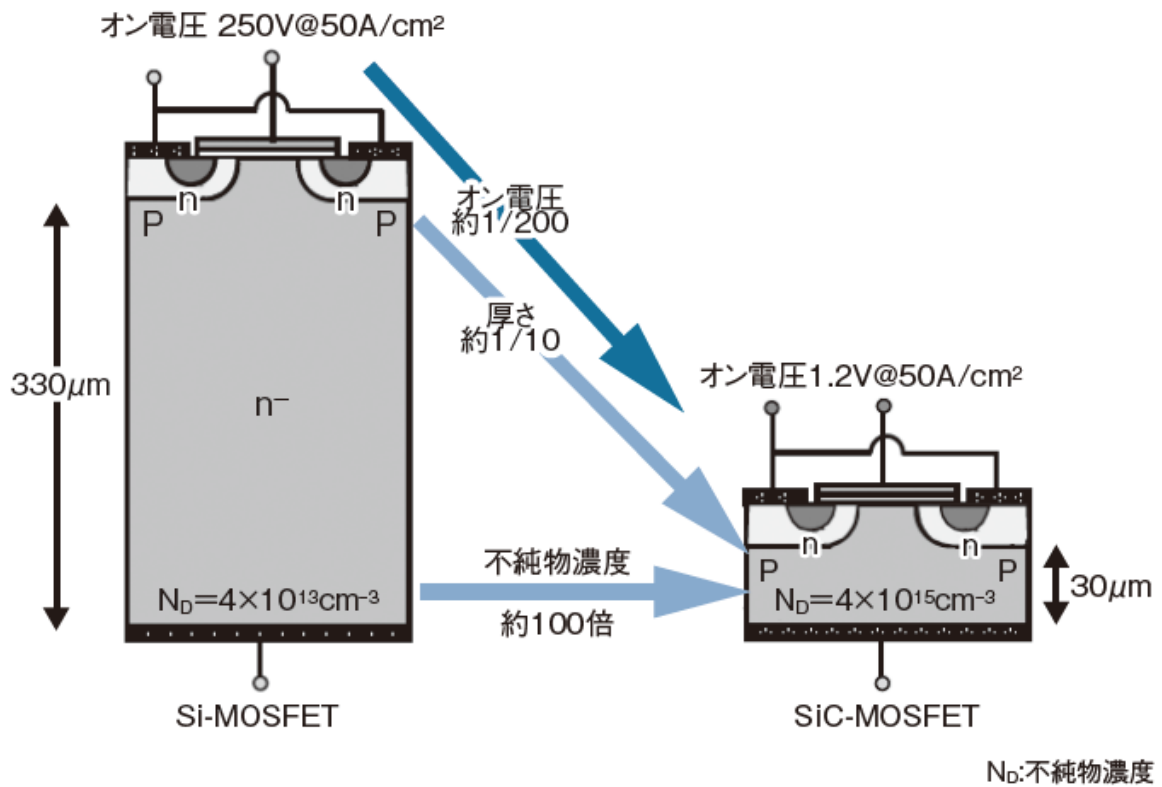
1. 7 次世代パワー半導体デバイス

シリコンの物性限界とともに市場拡大が期待される次世代パワー半導体として、単結晶 SiC および GaN ワイドバンドギャップ半導体が有力候補として研究開発が進められている。

表 1.1 は、知られているパワー半導体の材料物性値を示す [4]。SiC、GaN はワイドバンドギャップ半導体であり、高電圧パワー半導体デバイス応用に対しては有利な物性を有している。SiC、GaN は、Si に比べて約 10 倍程度の絶縁破壊電界値を有している。破壊電界強度が 10 倍ということは、同じ耐圧を得るのに、図 1.12 に示すように、(a) の Si - MOS FET の場合に比べて、(b) の SiC - MOS FET は、 n^- のドリフト層の厚さを 1/10 にできる。高耐圧 (600V~数千 V) パワーデバイスの抵抗成分のほとんどはこのドリフト層の抵抗であるので、SiC では単位面積当たりのオン抵抗が非常に低い高耐圧デバイスを実現できる。また、高速デバイスを実現するために、電子飽和速度が大きいことが重要である。さらに、動作時の発熱の抑制を考えると、熱伝導度が大きい方が有利である。デバイスの高温動作が Si では 200 °C 以下であるのに対して、SiC では 600 °C 程度まで動作可能との報告がある [5]。これらの性能は材料の持つ能力を最大限に引き出した場合の数値であり、実現されているわけではない。現状の SiC や GaN のレベルでは、結晶基板やエピタキシャル層中の欠陥密度が約 $10^4 \sim 10^5$ 個/cm² であり、Si ($500 < \text{個/cm}^2$) よりも著しく高いので、得られる移動度も下表の値より著しく低い、またデバイスを製造した場合には漏れ電流が多くなる等の問題が発生しやすいと考えられる [4]。次世代パワー半導体で、Si パワー半導体を本格的に置き換えていくには、この最大の課題である基板問題を解決しなければならない [24]。

表 1.1 パワー半導体の材料物性値 [4]

	Si	SiC (4H 型)	GaN	ダイヤモンド
バンドギャップ (eV)	1.12	3.26	3.42	5.47
絶縁破壊電界(MV/cm)	0.3	2.8	3	8
キャリア移動度(cm ² /Vs)	1350	1000	1500	2000
電子飽和速度 (1×10^7 cm/s)	1	2.2	2.4	2.5
熱伝導率 (W/cmK)	1.5	4.9	1.3	20



(a) Si - MOS FET

(b) SiC - MOS FET

図 1.12 Si-MOS FET と SiC-MOS FET の違い [24]

参考文献

- [1] 電気学会高性能高機能パワーデバイス・パワーIC 調査専門委員会著, “パワーデバイス・パワーIC ハンドブック”, コロナ社, (1996).
- [2] 石川哲浩著, “技術情報協会;次世代自動車 (EV/HEV/PHEV) と部品・材料技術－先進企業の最新開発事例集”, 技術情報協会, 第二版, (2011).
- [3] 森本雅之著, “入門 インバータ工学”, 森北出版, (2011).
- [4] 松波弘之著, “半導体 SiC 技術と応用”, 日刊工業新聞社, (2003).
- [5] 日経エレクトロニクス編著, “次世代パワー半導体 II”, 日経 BP 社, (2013).
- [6] トランジスタ技術 SPECIAL 編集部編著, “ワイドギャップ半導体の研究 (グリーン・エレクトロニクス)”, CQ 出版, (2012).
- [7] 大橋弘通, 葛原正明編著, “パワーデバイス”, 丸善, (2011).
- [8] 山崎浩著, “よくわかるパワーMOSFET / IGBT 入門”, 日刊工業新聞社, (2002).
- [9] 高橋良和, 中澤治雄, 大西泰彦, “シリコンパワーデバイスの技術動向と展望”, 応用物理, 第 82 巻, 第 4 号, p. 305-308, (2013).
- [10] 麻蒔立男著, “超微細加工の基礎－電子デバイスプロセス技術”, 日刊工業新聞社, (2001).
- [11] 菅沼克昭著, “SiC/GaN パワー半導体の実装と信頼性評価技術”, 日刊工業新聞社, (2014).
- [12] “パワー半導体の世界市場に関する調査結果 2015”, 調査結果サマリー, 矢野経済研究所, (2015).
- [13] 富士経済著, “次世代パワーデバイス&パワエレ関連機器市場の現状と将来展望 2015 年版”, 富士経済, (2015).
- [14] 高橋邦明, 鳶島真一, 高橋良和, 土井卓也著, “「エネルギーデバイス」の信頼性入門－二次電池、パワー半導体、太陽電池の特性改善と信頼性試験－”, 日刊工

業新聞社, (2012).

- [15] 高橋良和, 中澤治雄, 大西泰彦, “シリコンパワーデバイスの技術動向と展望”, 応用物理, 第 82 卷, 第 4 号, p. 305-308, (2013).
- [16] S. M. Sze, Kwok K. Ng, “Physics of Semiconductor Devices”, Wiley-Interscience, (2006).
- [17] B. J. Baliga, “Fundamentals of Power Semiconductor Devices”, Springer, New York, (2008).
- [18] B.J. Baliga, “Trends in Power Discrete Devices”, IEEE International Symposium on Power Semiconductor Devices and ICs, Abstract P-2, p. 5-10, (1997).
- [19] S.C. Sun and J.D. Plummer, “Modeling of the On-Resistance of LDMOS, VDMOS, and VMOS Power Transistors”, IEEE Transactions on Electron Devices, Vol. ED-27, p. 356–367, (1980).
- [20] G. Deboy, M. Marz, J. P. Stengl, H. Strack, J. Tihanyi, and H. Weber, “A new generation of high voltage MOSFET’s breaks the limit line of silicon”, IEDM’98. Technical Digest, p.683-685, (1998).
- [21] T. Fujihira, “Theory of Semiconductor Superjunction Devices”, Jpn. J. Appl. Phys. Vol. 36, p. 6254-6262, (1997).
- [22] B. J. Baliga, “Advanced Power MOSFET Concepts”, Springer, (2010).
- [23] L. Lorenz, G. Deboy, A. Knapp, N. Marz, “COOLMOS-A New Milestone in High Voltage Power MOS”, Proc. International Symposium on Power Semiconductor Devices and ICs, p.3-10, 1999.
- [24] 日経エレクトロニクス編集, “NE ハンドブックシリーズ パワー半導体”, 日経 BP 社 (2012).

第2章 レーザーアニールについて

2.1 レーザーアニール技術の歴史

レーザーアニール技術そのものの歴史は長く、1980年代初頭にさかのぼる。イオン注入工程で高エネルギーイオンによりシリコン結晶に導入される結晶欠陥をナノ秒パルスレーザー照射により回復させることを目的として活発な研究がなされた。この頃、レーザーアニールのメカニズムは電子励起による結晶の構造変化か、それとも光エネルギーの熱変換による溶融・固化過程なのかという論争が巻き起こり、ナノ秒時間オーダーでのその場観測が精力的に試みられた [1]。その結果、レーザーアニールはナノ秒時間オーダーでの一次相転移をともなう溶融・固化過程であることが証明された [2]。当時では、レーザーアニールは半導体製造プロセスに導入されるには至らなかったが、これらの研究は、パルスレーザー照射による溶融・固化とそれに伴う相変化に対する理解を基盤としている。レーザーアニールが再び脚光を浴びるようになったのは、1980年代後半に、固相結晶化と同様、絶縁基板（ガラス）上に高性能な多結晶シリコン TFT を 600°C 以下の低温プロセスで作製し得る事が報告されてからのことである [3]。ガラス上の TFT 高性能化は、ディスプレイ応用のため、その後現在に至るまで活発に研究されており、 $100\text{ cm}^2/\text{Vs}$ 前後の電子移動度も可能となり、単結晶シリコン MOSFET の移動度 $600\text{ cm}^2/\text{Vs}$ に迫るような優れた特性も研究レベルでは報告されている [4]。現在、特に、紫外線のパルスを利用したエキシマレーザーアニール技術は、ガラス基板上でのディスプレイ用の画素駆動だけでなく、周辺回路やセンサー、メモリー、さらに CPU (Central Processing Unit) まで多くの機能回路搭載 (SoG: System on Glass) として応用が期待されている。また、超微細 MOS LSI プロセスにおいて、レーザーアニール技術も活用されており、その場合のレーザーアニールは主に非溶融 (non-melt、基板温度 $<1300^{\circ}\text{C}$) 領域で行われる。

半導体工業に使われる主なレーザーアニールの種類、応用分野、を表 2.1 にまとめる [5]。本論文では、エキシマレーザーとグリーンレーザーに重点を置く。

表 2.1 レーザーアニールの種類

媒質	アニールゾーン	発振動作	応用分野
Ar Laser	熔融	連続発振	USJ (極浅接合)
XeCl	溶解、非溶解	連続発振 or パルス発振	USJ & LTPS (低温ポリ Si)
KrF	溶解、非溶解	連続発振	LTPS & 裏面アニール
2 ω YAG	溶解、非溶解	連続発振 or パルス発振	裏面アニール
CO ₂	非溶解	連続発振	USJ
(Semiconductor) Blue	溶解、非溶解	連続発振 or パルス発振	USJ & LTPS

2. 2 レーザーアニールによる結晶化

ガラス基板上の薄膜シリコン（アモルファスシリコン： α -Si）にレーザー光を照射することで、 α -Siのみを熔融させ、結晶化させる技術である [6]。図 2.1 に、線状ビームレーザーアニールによる α -Si薄膜の結晶化の1例を（概念）を示す [6]。この他、ビームを均一な矩形のエネルギー分布にして照射する一括 ELA がある [7-8]。後者は、主に Si LSI の適用で有利となる。レーザーアニールは、特定の波長の光をマイクロ秒以下の短い時間で熱処理することができるため、ガラス基板上の α -Si 薄膜（40～60nm）や、Si ウェーハの表層（0.1～1 μm ）のみを融点近傍まで高温にできるため、 α -Si 薄膜の結晶化、極表層の改質や極浅接合に適している [8]。本研究においては、LSI 応用として有利な一括 ELA を共同研究として検討した [9]。

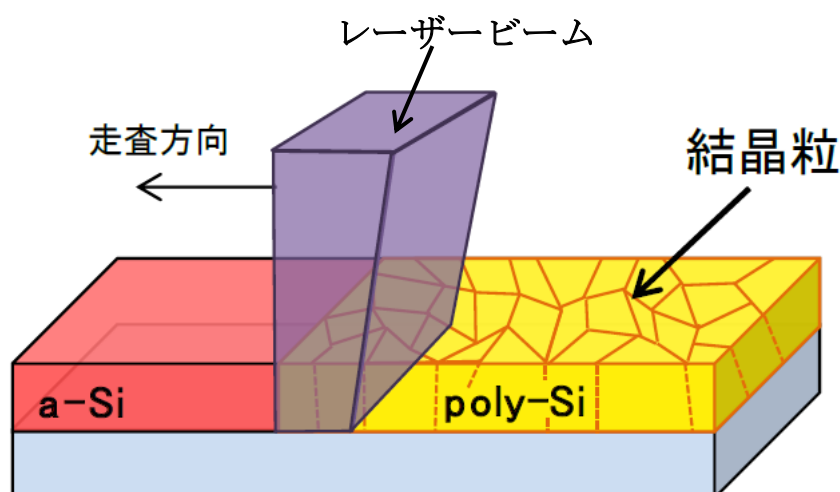


図 2.1 レーザーアニールによる poly-Si 薄膜形成の概念図 [6]

2. 3 高出力 (高エネルギー) レーザー装置について

2. 3. 1 エキシマレーザーの特徴

エキシマレーザーは、媒質として希ガスやハロゲンなどの混合ガスを用い、パルス放電によって励起された希ガス原子とハロゲン原子によって形成されるエキシマからの放射光により、パルス発振するガスレーザーである。エキシマレーザーの代表的な発振波長には、193 nm (ArF)、248 nm (KrF)、308 nm (XeCl)、353 nm (XeF)がある [8-10]。

図 2.2 にエキシマレーザーから Si ウェーハもしくはガラス基板に照射するまでのアニール装置構成、経路の例を示す [11]。レーザー光はミラーでビーム整形部に送られる。これはビームホモジナイザー (Beam Homogenizer) とも呼ばれる。プロジェクションレンズの複雑な組み合わせでレーザービームを一定の形に整え、かつビーム内のエネルギーの均一性を向上させるものである。ビーム内のエネルギーの均一性は結晶化プロセスにとっては非常に重要である。ビームの形は線状や面状もあるが、形成されたビームがミラーでチャンバー内の Si ウェーハに照射される。本実験で使用したエキシマレーザー装置システム (株) SCREEN セミコンダクターソリューションズ) のビーム形状は、図 2.2 に示されているように矩形の形状に制御され、試料にパルスで照射される。図 2.3 に、エキシマレーザー照射時の時間に対するレーザーパルス強度を示す。このビームを 1 枚のウェーハ上に照射させて試料を準備した [11]。

薄膜 TFT 製造プロセスにおける a-Si 薄膜の結晶化においては、光源波長の 308 nm (XeCl) エキシマレーザーが主流である。それは、短波長のエキシマレーザーの出力パルスエネルギーが高い大きい点による。

低コストのために、ガラス上のディスプレイ (薄膜 TFT) は大面積で製造する必要がある。長いラインビームはスループットの向上につながる。一方、ラインビームの長さもしくは、照射面積は、レーザーパルスあたりのエネルギーによって決まる。そのため、有利な紫外線の波長 (XeCl: 308nm) を持つエキシマレーザーが選ばれ、過去、ソニーや東芝などの日本企業で先駆的に研究が推進されたが、現在、ガラス上に作る液晶や有機 EL (Electro Luminescence) ディスプレイの薄膜 TFT 製造プロセスで使われている [8]。

Si へのエキシマレーザーアニール (ELA) の特徴は、熔融-凝越固相転移を結晶化に用いる点である。ELA では、大出力パルスレーザー光をシリコンの表面で吸収させ、瞬間的に熔融させ、レーザー照射後、基板への熱拡散による冷却過程によりシリコンの表面またはシリコン膜が凝固して再結晶化が起こる。図 2.4 に示すように、得られるシリコン膜の結晶性は、短時間での熔融-凝越固相転移の温度履歴、Si の熔融深さ、熔融、凝固時間、凝固速度に強く依存する [13]。そのため、特にガラス上の Si 膜に対しては、一か所あたり 1~20 回 (場合によってはそれ以上) レーザーを照射する。照射回数と共に結晶粒は成長し、パルス幅などビーム条件に依るが、おおよそ

数十回の照射で結晶はほとんど成長しなくなり飽和する。このようにして形成される結晶は、図 2.5 に示すように、粒の大きさは照射する波長にほぼ一致し、その大きさは規則構造を持たせることが期待できる [14]。特に、膜構造やアニール環境条件がそろえば、準単結晶相 (Quasi Crystal Phase) とよばれる Si 膜が (100) 面方位に揃った興味深い碁盤の目状の結晶化が実現され、優れた電気特性を示す [14]。

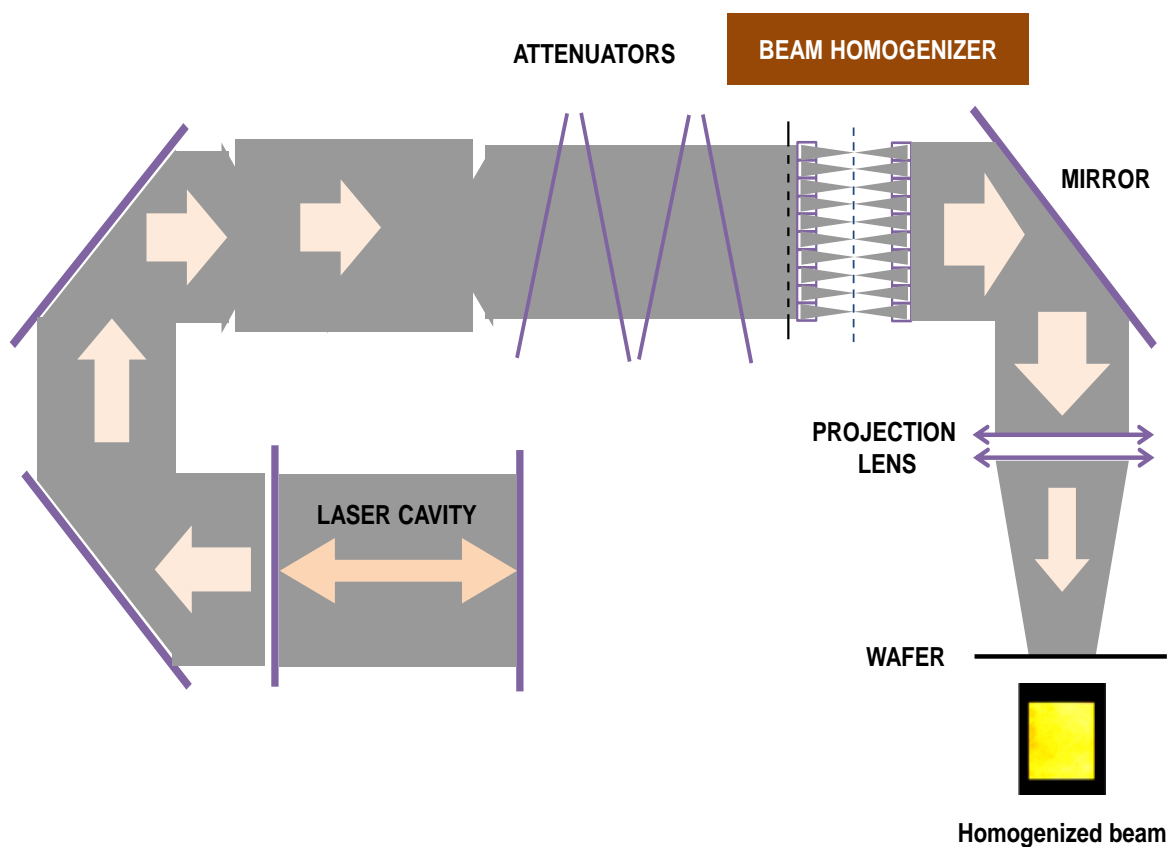


図 2.2 ELA 装置の概略
((株) SCREEN セミコンダクタソリューションの大出力レーザー) [11]

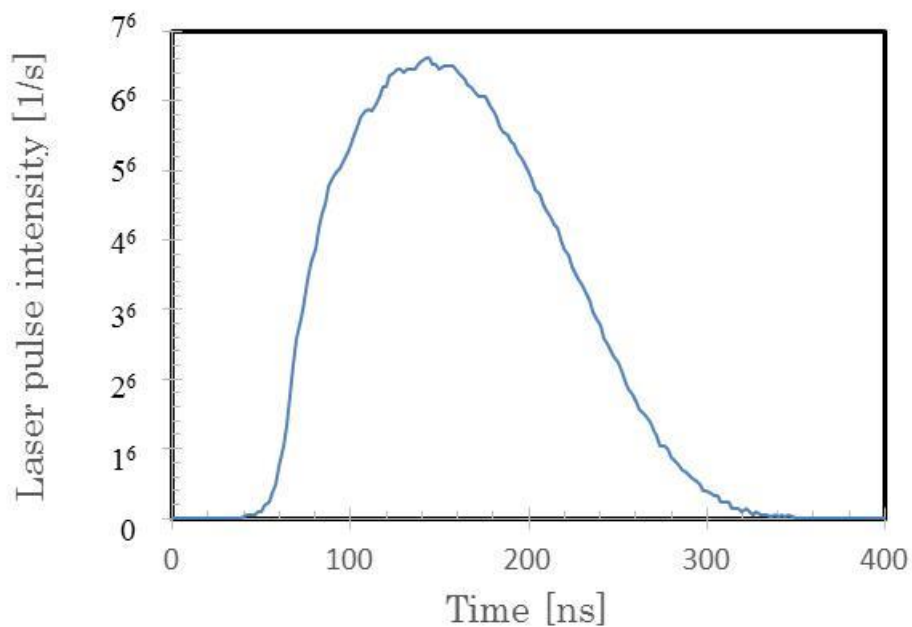


図 2.3 エキシマレーザー照射時のレーザーパルス波形の例
 ((株) SCREEN セミコンダクタソリューションの大出力レーザー)

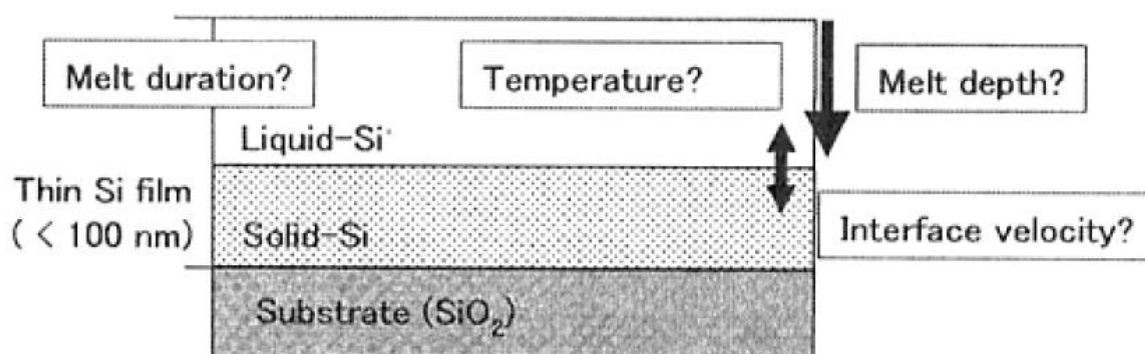


図 2.4 再結晶化の依存要素 [13]

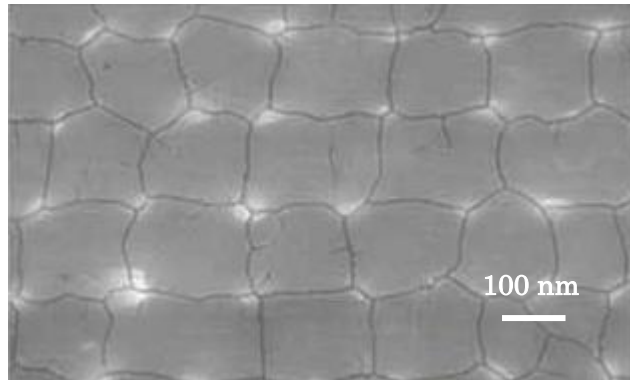


図 2.5 ELA 装置で結晶化した poly-Si 結晶 [14]

2. 3. 2 グリーンレーザーの特徴

低温ポリシリコン (poly-Si) TFT の作製プロセスでは、ガラス基板上に成膜された α -Si 膜をレーザー照射によって熔融させ、再結晶化することで均一な poly-Si を実現する。この作製プロセスには、出力パワーの高いエキシマレーザーが用いられてきたが、レーザー光の入射時間は、100 ns 以下と非常に短いため、ガラス基板を損傷することなく、poly-Si TFT を作製することができる [15]。しかし、エキシマレーザーは活性ガスの放電を利用しているため、出力の安定性、さらにメンテナンス性に課題がある。一方、固体レーザーアニール装置は、エキシマレーザーと比較して取り扱いやメンテナンス性に優れているが、高いエネルギーのパルスが発生させることが難しい。照射ショットのエネルギーを向上するために、最近 DPSS (Diode Pumped Solid State) 励起固体レーザーの 532 nm (グリーン) を搭載した装置が開発されている [16]。 α -Si のバンドギャップエネルギーは 1.7 eV ぐらいであるので、グリーンレーザーでも十分に a-Si を熔融状態にすることができる。また、DPSS の高繰り返し性能 (または CW や Q-SW) を利用し高速にスキャンすることによりスループットが上がる。また、エキシマレーザーに比べ、ガスが不要なことで配管等のインシャルコストやメンテナンスコスト、安全性さらにランニングコストが抑えられることが大きなメリットとなり注目されている [16]。

図 2.6 にグリーンレーザーの装置構成図を示す。装置構成は、グリーンレーザー発振器、線状光学系、搬送系、制御系に大別できる [16]。グリーンレーザー発振器から出射されたレーザー光を、線状光学系を用いてライン状のビームに加工して、Si 表面もしくは、a-Si 膜を成膜したガラス基板に照射する。さらに、その加工対象を一定の方向へ搬送することで、大面積の領域を一度に効率よくアニール処理することが可能となる。本実験で用いた装置 (Sumitomo Heavy Industries, ltd. SWA-90GD) では、光源として、固体グリーンレーザーを 2 台連続搭載している。波長は 532 nm, パルス幅は約 110 ns, 発振周波数は 1 kHz である。2 台の光源から出射したレーザービームは可変のバリアブルアッテネータ (減衰器) でパルスエネルギーが所定値に調整された後、偏光ビームスプリッターで同一光軸上に合成され、ビームが均一化される光学系ビームホモジナイザーに導かれる。光学系により、幅 0.02~0.25 mm, 長さ 2.5~17.0 mm の細線均一ビームに整形され、被照射物であるガラス基板上の膜や Si ウェーハ表面上に照射される。ビームサイズは上記範囲内において可変であるため、結晶化プロセスや活性化プロセス等、用途毎に使い分られる。照射アニールプロセスは、ガラス基板あるいは Si ウェーハを搭載したステージを細線ビームの短軸方向に一定の速度で掃引しながらダブルパルスとして、アニール処理が行われる。ダブルパルスとは、2 台のレーザーの発振タイミングをコントロールし、一定の遅延時間 (パルスとパルスの間の時間) をつけて照射する手法である。遅延時間は、0~2000 ns の間で設定できる。遅延時間により導入されるエネルギーの時間履歴がコントロールされ、結晶化プロセスにおいて、結晶成長の状況および活性化される深さなどを最適化させること

ができる。

図 2.7 にダブルパルス照射時のレーザーパルス波形、図 2.8 には、遅延時間を変えてダブルパルス照射を行ったときの Si ウェーハ表面の温度履歴の測定結果を示す。遅延時間を 0, 300, 500 ns と変化させることにより、被照射物表面のピーク温度および所定温度の保持時間を変化させることができる。

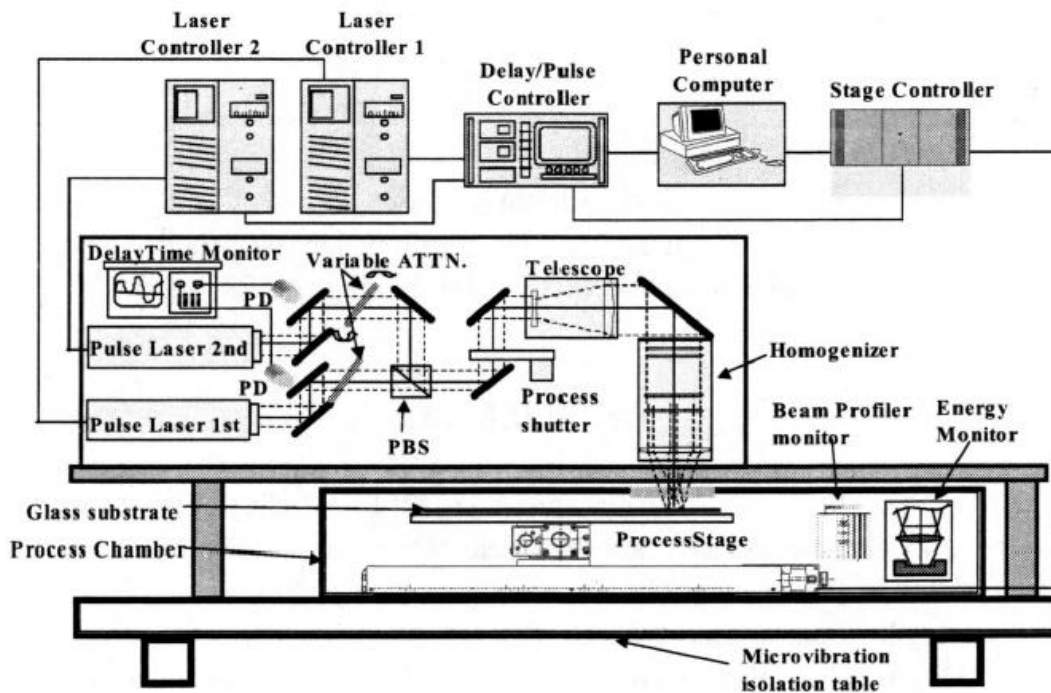


図 2.6 グリーンレーザーの装置構造図 [16]

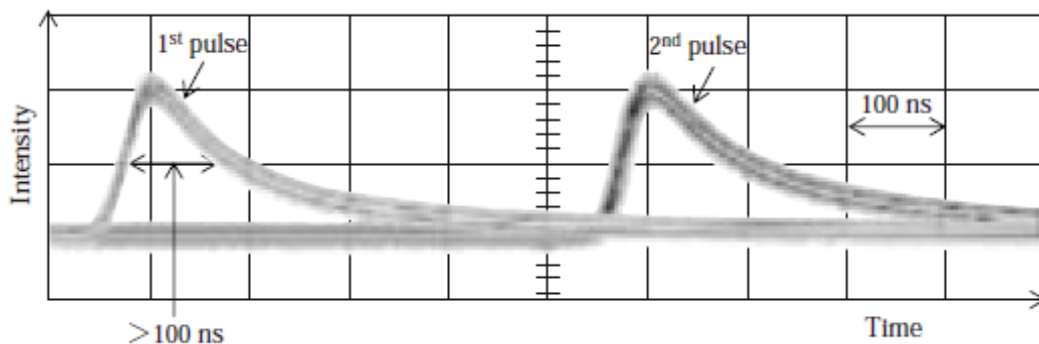


図 2.7 ダブルパルス照射時のレーザーパルス波形 [16]

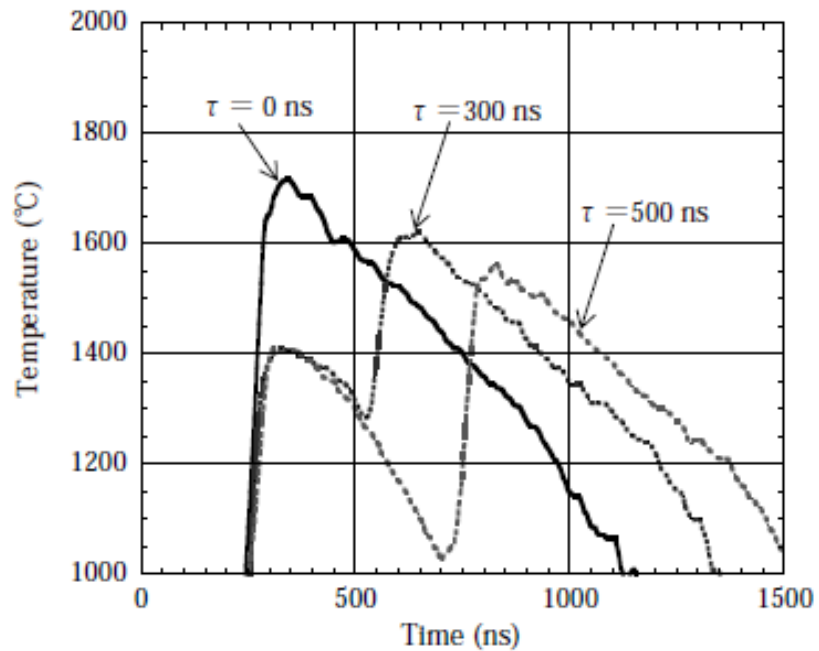
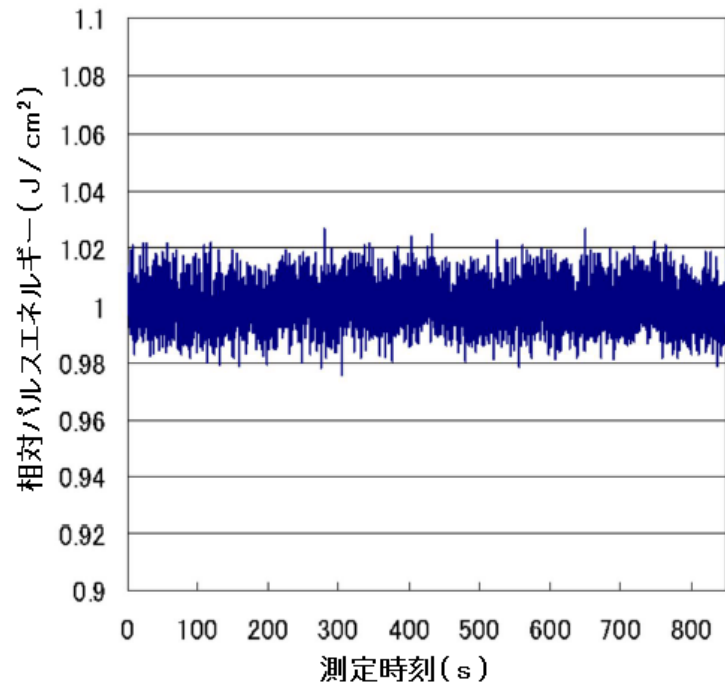
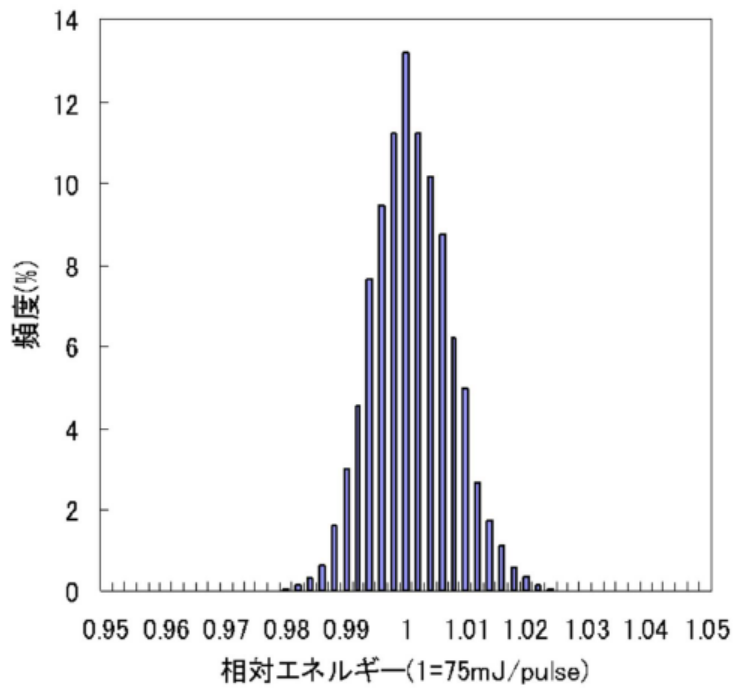


図 2.8 遅延時間に対する Si ウェーハ表面の温度履歴の測定結果 [16]

図 2.9 に、ショット毎のエネルギー値の時間的変動とそのヒストグラムを示す。ショット毎のエネルギーは 10 分間計測 (サンプルリング数:15000 点 サンプルング周波数: 約 30 Hz) の結果に対する値である。ショット毎のエネルギー安定性は Peak-Peak 値で、 $\pm 2.6\%$ 以内、ショット毎のエネルギーの安定性が $\pm 3\%$ 以内にコントロールされることにより、被照射物に投入される熱量およびその時間履歴をきわめて精度よく制御でき、プロセスの安定性が得られる。



(a) ショット毎エネルギーのエネルギー値の時間変動



(b) ショット毎エネルギーのエネルギー値のヒストグラム

図 2.9 ショット毎エネルギーのエネルギー値の時間変動とそのヒストグラム [16]

2. 3. 3 ブルーレーザーの特徴

FPD (Flat Panel Display) 駆動用薄膜 TFT に対して、均一で結晶性・表面平坦性に優れる poly-Si が求められている。前述したように、プリカーサ a-Si 膜は波長 308 nm を代表とするエキシマレーザーを照射して多結晶化する方法が一般的である。エキシマレーザーアニール後のガラス上の Si 膜は、パルス熔融結晶化により、急激な冷却のため表面の凹凸が大きくなり、膜表面の平坦性の改善が課題となっている。また、レーザービーム出力の不安定性により得られるポリ Si 膜のグレインサイズの大きさは異なり、チャンネル寸法が小さいとトランジスタ特性もばらついて、結果的にディスプレイ画像が劣化するという問題も抱えている。近年、445 nm の波長の複数の青色レーザーダイオードによる光を用いた半導体レーザーが開発されているが、TFT の均一性に有利な微細粒径をもつ高品質な Si 膜が形成できる [17]。

CW モードの ブルーレーザーアニール (BLDA) はエキシマレーザーアニール (ELA) に比べて、出力制御性や結晶粒径の制御性に優れているため、Si 膜表面の平坦性は大幅に改善できる。ビーム整形技術の改善、およびビームの大型化の課題はあるが、BLDA は次世代のレーザーアニール法として期待されている [17]

2. 4 結晶化とレーザー装置の光源

表 2.1 に、広く普及しているレーザー発振器の波長、308 nm、355 nm、532 nm におけるアモルファス・シリコン (a-Si) と非晶質シリコン (c-Si) への浸透深さ (光が 87 % 吸収される深さ: $x=1/\alpha$) と波長の関係を示す [18]。表 2.2 に示すように、波長が短いほど浸透深さは小さい。固体レーザー 532 nm のグリーン光源で加熱した場合には、a-Si 相 に対しては表面からおおよそ深さ 50 nm までの領域がレーザーを吸収するので、a-Si は溶融温度に達し、再結晶化が可能である。一方、厚さ 50 nm の単結晶 Si (c-Si) 膜に対しては、波長 532 nm の光を 7 % しか吸収しないので効率は悪い。

表 2.2 浸透 (吸収) 深さ

波長	a-Si	c-Si
308 nm	8 nm	6.7 nm
355 nm	10.1 nm	9.4 nm
532 nm	42.3 nm	683 nm

表 2.3 にレーザー波長と市場に普及しているレーザーの最大出力とレーザー装置価格の相対比との関係を示す [19]。表 2.3 の装置価格はレーザー出力あたりの価格の割合で、エキシマレーザーを 1 としたときの相対値である。エキシマレーザーは XeCl 混合ガスを使用するため、ガス関連で要する設備の価格を含めている。表 2.3 より、532nm の固体レーザーではエキシマレーザー装置とほぼ同額である。また、エキシマレーザーは、消費ショット数にもよるが、量産の場合、数日毎に定期的なガス交換を必要とするためメンテナンス性に難があるが、固体レーザー装置はその必要がない。エキシマレーザー装置のメンテナンス性を考慮すると、532 nm の固体レーザー装置はエキシマレーザー装置と比べてやや魅力的であるが、出力性能では逆である。

表 2.3 レーザー波長と出力

波長	308 nm	532 nm	355 nm
媒質	XeCL	2 ω YAG	3 ω YAG
出力	1200 W	200 W	100 W
価格 円/W (相対値)	1	1	3

参考文献

- [1] H. W. Lo and A. Compaan, “Raman Measurement of Lattice Temperature during Pulsed Laser Heating of Silicon”, *Phys. Rev. Lett.* 44, p.1604, (1980).
- [2] Michael O. Thompson, J. W. Mayer, A. G. Cullis, H. C. Webber, N. G. Chew, J. M. Poate, and D. C. Jacobson, “Silicon Melt, Regrowth, and Amorphization Velocities During Pulsed Laser Irradiation”, *Phys. Rev. Lett.* 50, p.896, (1983).
- [3] T. Noguchi, J.Y. Kwon, H. Lim, K.B. Park, J.S. Jung, D.Y. Kim, H.S. Cho, S.P. Kim, Y.S. Park, J.M. Kim, “Low Temperature Process for Advanced Si TFT Technology”, *Jap. J. Appl. Phys.*, 45, p.4321-4324, (2006).
- [4] T. Noguchi, “Effective Dopant Activation in Silicon Film Using Excimer Laser Annealing for High-Performance Thin Film Transistors”, *Jap. J. Appl. Phys.*, 47, p.1858, (2008).
- [5] A. Florakisa, E. Verrellia, D. Giubertonib, G. Tzortzisa, D. Tsoukalasa, “ Non-melting annealing of silicon by CO2 laser”, *Proc. EMRS 2009 Spring Meeting Symposium*, Vol. 518, p. 2551–2554, (2010).
- [6] M. Hatano, T. Shiba, T. Shiba and M. Ohkura, “Late-News Paper: Selectively Enlarging Laser Crystallization Technology for High and Uniform Performance Poly-Si TFTs”, *Tech. Dig. SID*, 12.4L (2002).
- [7] D. Débarre, G. Kerrien, T. Noguchi, J. Boulmer, “ Laser doping for ultra-shallow junctions monitored by time resolved optical measurements”, *IEICE Transactions on Electronics*, E85C(5), p.1098-1103, (2002).
- [8] T. Noguchi, “Prospective crystallization of amorphous Si films for new Si TFTs”, *Phys. stat. solidi*, 5. p.3259, (2008).
- [9] Y. Chen and T. Noguchi, “A Laser Annealing Process for High-Performance Power MOSFETs”, *Proc. IWJT*, p.43-46, (2014).
- [10] Kentaro Shinoda, Tomohiko Nakajima, Mutsuko Hatano and Tetsuo Tsuchiya, “ Design of process diagnostics for excimer laser irradiation of oxide thin films”, *JJAP*, Vol. 53, No. 5S1, (2014).
- [11] K. Huet, I. Toqué-Tresonne, F. Mazzamuto, T. Emeraud, H. Besaucèle, “ Laser Thermal Annealing: A low thermal budget solution for advanced structures and new materials”, *Proc. Junction Technology (IWJT)*, 2014 International Workshop on, p.13-18, (2014).

- [12] H. Lim, H. Yin, W. Xianyu, J. Y. Kwon, X. Zhang, H. S. Cho, J. M. Kim, K. B. Park, D. Y. Kim, J. S. Jung, T. Noguchi, "Ultra low sheet resistance on poly silicon film by Excimer laser activation", ITC'2005, 6.4, p.17, (2005).
- [13] C. J. Shih et al., "Phase field modeling of excimer laser crystallization of thin silicon films on amorphous substrates", J. Appl. Phys., 100(5), p. 053504, (2006).
- [14] T. Noguchi et al., "Polysilicon Super Thin Film Transistor Technology", Mat. Res. Soc. Symp. Proc., Vol. 106, pp. 293-304, (1988).
- [15] T. Noguchi, M. Kubota, H. Yamamoto, K. Matsumoto and M. Yamagishi, "Excimer Laser Annealing for 0.1 μm MOSFETs", Proc. AWAD2000, p. 7-12, (2000).
- [16] 住友重機械工業株式会社, 固体アニール装置, GLE/SWA シリーズ, "SWA-90GD カタログ", <http://www.shi-mechatronics.jp/products/laser/laseranealling/solid.shtml>
- [17] Yoshiaki Ogino, Yasuhiro Iida, Eiji Sahota, Motoyasu Terao, "Blue Multi-Laser-Diode Annealing (BLDA) Technologies for Poly-Si Films", Proc. of IMID'09, P.1-132, p. 945-947, (2009).
- [18] S. M. Sze, Kwok K. Ng, "Physics of Semiconductor Devices", Wiley-Interscience, (2006).
- [19] 常見明良, 工藤利雄, 山崎和則, "第 65 回レーザー加工学会 講演論文集", p. 237. (2005).

第3章 レーザーアニールによる浅接合の形成

3.1 浅い接合の必要性

前節ですでに述べたように、低耐電圧パワーMOS FET (<200 V) において、チャンネル抵抗成分 (R_{CH}) が総抵抗の半分以上にも占めている。SJ-MOS FET 構造は Si の材料リミットをブレイクし、低抵抗化に大変有利だとされているが、その構造は耐圧ランクが 100V 以下のパワーMOS FETs においては、SJ-MOS FET 構造による通電抵抗の低減効果が顕著ではない [1]。ドリフト層に p 形領域と n 形領域を交互に配置した SJ-MOS FET では、p 形領域と n 形領域の幅を狭くすることで、耐圧を低下させずにドリフト層の不純物濃度を高くすることができる [2]。つまり、その SJ-MOS FET 構造はドリフト抵抗成分 (R_D) の低減に大変有利であるが、 R_{CH} の低減にはあまり効かないのである [3]。

ここで、図 3.1 に再度、100 V 以下の用途で主流となっている UMOS FET の断面構造を示す [4]。UMOS FET 構造の R_{CH} 抵抗は、次式 (3.1) のように表わされる [4]。

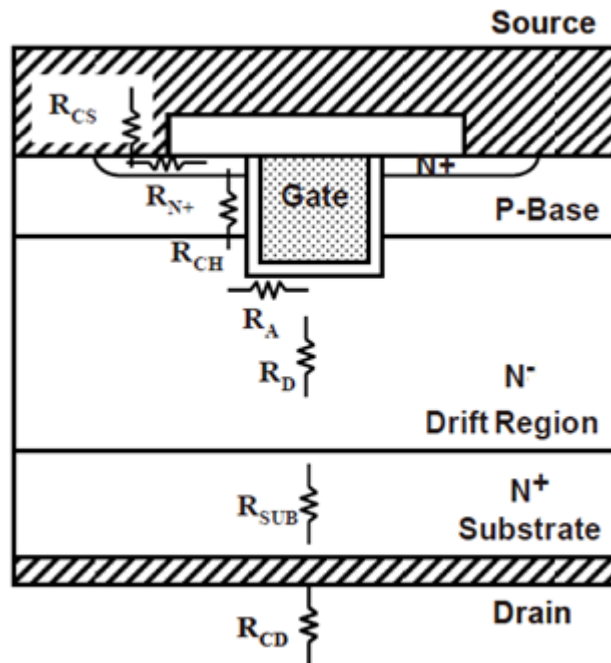


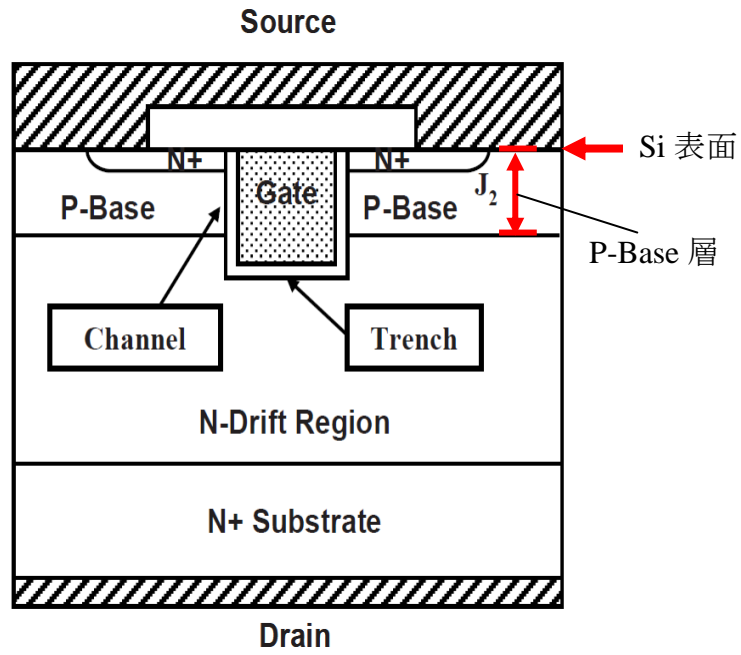
図 3.1 UMOS FET のオン抵抗の各成分 [4]

$$R_{CH} = \frac{V_D}{I_D} = \frac{L_{CH}}{Z \mu_{ni} C_{ox} (V_G - V_{TH})} \quad (3.1)$$

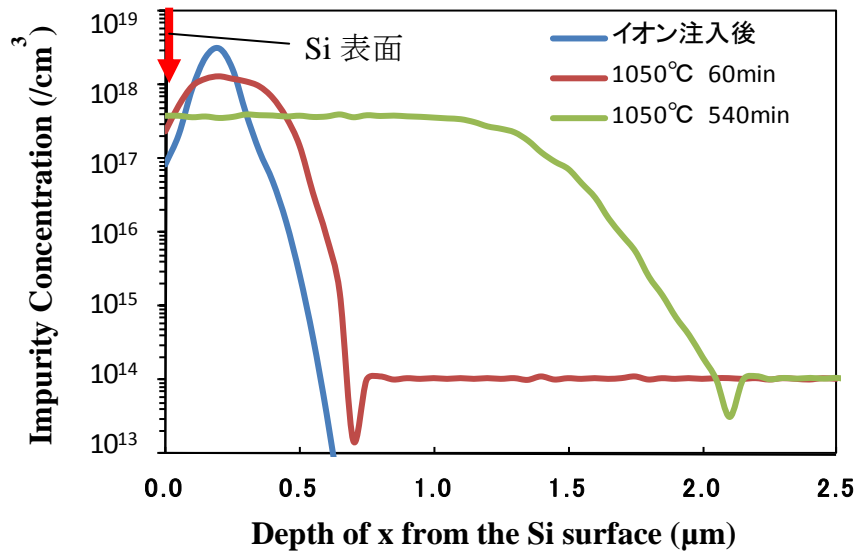
ここで、 L_{CH} はパワーMOS FETのチャネル長さで、 Z はパワーMOS FETの奥行き
の幅で、 C_{ox} はゲート酸化膜の比容量で、 μ_{ni} は反転したチャネル部のキャリア移動度
である。 C_{ox} および μ_{ni} など物性パラメーターは容易に変えることができない、 R_{CH} を
低減するのに、 L_{CH} の短縮が有効であるため、図 3.1 に示した UMOS FET の場合、浅
い P-Base 接合層が望ましいのである。

3. 2 従来プロセスの限界

従来のプロセスでは、ベースのドライブ工程（熱処理による Base 層の形成工程）においては、電気炉アニールが用いられている。パワーデバイスでは、しきい値電圧の変動に左右され、実際のデバイスのしきい電圧の最小値は変動幅の上限で決まる [5]。通常、しきい電圧の変動幅が小さいことが望ましい。そのため、図 3.3 (a) に示されている縦構造の UMOS FET において、しきい値電圧の変動を抑えるためには、P-Base 層、特に、 n^+ ソース直下のチャネル部における不純物の濃度分布が均一であることが求められる。従来の電気炉アニールでは、その p ベース領域（以下、P-Base 層と記す）の不純物を均一に拡散させるために長時間のアニールを要する。図 3.3 (b) に、イオン注入した直後、電気炉を用いて 1050 °C、60 分と 1050 °C、540 分とそれぞれの処理条件でアニールした後の P-Base 層における不純物の濃度プロファイルの変化を示す。しきい値電圧のばらつきを抑えるのに、P-Base 層における不純物の濃度分布は Si 表面よりある深さまで均一でなければならない。そのため、従来のアニール手法を用いた場合、P-Base 層の深さを 1 μm 以下に制御するのは極めて困難である。



(a) UMOS FET の断面構造 [4]



(b) 処理条件に対する P-Base 層の不純物の濃度プロファイル

図 3.3 従来アニール手法による P-Base 層における不純物の濃度分布

3. 3 レーザーアニールプロセスの提案

前節で述べたように、しきい値電圧のバラツキを抑えるため、Si 表面からある距離の間では、P-Bsae 層における不純物の濃度分布が均一であることが求められる [5]。従来のプロセス (電気炉熱アニール) では、P-Bsae 層における不純物の濃度分布を均一にするのに、長時間の電気炉熱アニールが必要である。しきい値電圧のバラツキの制御ができて、チャンネル長の短縮による R_{CH} の低減が極めて厳しいのである。

図 3.4 に示すように、低電圧パワーMOS FET の R_{ON} を劇的に低減するため (R_{CH} の低減)、P-Base 層の深さを $1\ \mu\text{m}$ 以下することと、接合における不純物の分布の均一化が求められる (その理想とするプロファイルは赤い線で示している)。それを実現するのに、新しい熔融熱アニールプロセスが有効と期待され、必要と考えられる [6]。本論文では、実験を通して、エキシマレーザーアニール (ELA) とグリーンレーザーアニール (GLA) の2つのレーザーアニールによる浅い接合形成のメカニズムについて考察し、また、その基本技術の高性能パワーMOS FET プロセスへの適用の可能性について調べる。

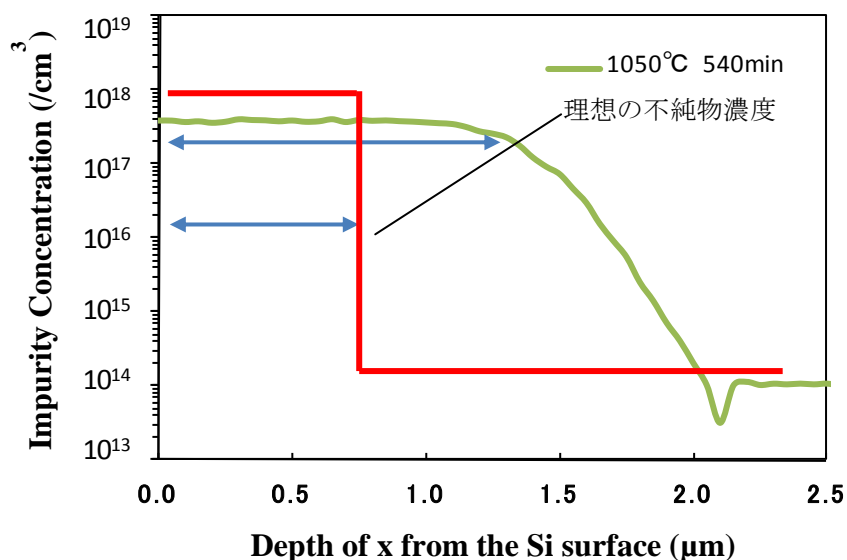


図 3.4 理想とする P-Base 層における不純物の濃度分布

参考文献

- [1] 大橋弘通, 葛原正明編著, “パワーデバイス”, 丸善, (2011).
- [2] T. Fujihira, “Theory of Semiconductor Superjunction Devices”, Jpn. J. Appl. Phys. Vol. 36, p. 6254-6262, (1997).
- [3] Deboy, G. et al., “A New Generation of High Voltage MOSFETs Breaks the Limit Line of Silicon”, Proc. IEDM, 1998, p.683-685, (1998).
- [4] B. J. Baliga, “Fundamentals of Power Semiconductor Devices”, Springer, New York, (2008).
- [5] Zhongfei Shan, Wang Guoxing, Yongxin Zhu, Guoguang Rong, “Process optimization for a high gate trench MOS to minimize threshold voltage variation”, ICGCS’2010, p. 491 – 494, (2010).
- [6] Yi Chen, Tatsuya Okada, Takashi Noguchi, Fulvio MAZZAMUTO and Karim HUET, “Excimer laser annealing for low-voltage power MOSFET”, JJAP, Vol. 55, No. 8, 2016.

第4章 レーザーアニールプロセスの検証

4.1 エキシマレーザーアニール (ELA) による P-Base 接合層の検証実験

レーザーアニール (Laser Anneal 以下 LA と略する) 処理プロセスの、パワーMOS FETs の P-Base 接合形成への適応性を調べるために、実験で使ったエキシマレーザーアニール (ELA) 装置 (LT-3000) の仕様を表 4.1 に示す [1]。

この装置は、X 線予備電離方式による大エネルギー出力が可能となる。またパルス幅が、比較的長いのが特徴である [1]。このため、面一括ビーム照射 ELA が可能となり、Si-LSI では、チップ内での均一な結晶化アニールには有利である。

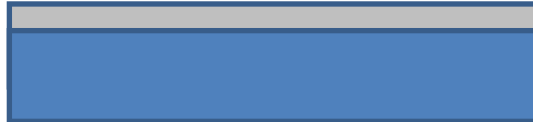
表 4.1 エキシマレーザーの装置仕様 [1]

ビームサイズ	波長	パルス持続時間 (パルス幅)
10 mm×10 mm	308 nm	160 ns

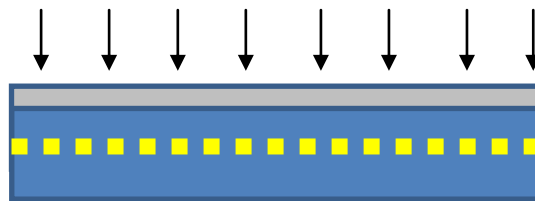
試料は次の手順で準備した。まず、6 インチ (100) の n 型 Si の試料ウェーハを RCA 洗浄処理し、熱アニールで Si 表面に 50 nm 厚の酸化膜を成長させる [2]。この酸化膜は、イオン注入時のチャネリング現象および熱処理による Si 表面における不純物のアウト・ディフュージョンを抑制するためである。最後に、イオン注入によって、ドーパント (ボロン) が導入される。イオン注入の装置条件 (NV-GSDIII-180) は、ドーズ $2.5 \times 10^{13} \text{ cm}^{-2}$ 、注入エネルギー 40 keV の条件で行った。詳細の手順は図 4.1 に示す。



(a) 6 インチ FZ ウェーハ
(n 型、(100) 面、 $2 \times 10^{14} \text{ cm}^{-3}$)



(b) 熱酸化による 50 nm の酸化膜形成
(H_2 : 4.5 L/min、 O_2 : 3 L/min、 N_2 : 14 L/min、900 °C、60 min)



(c) イオン注入
(ドーズ : $2.5 \times 10^{13} \text{ cm}^{-2}$ 、注入エネルギー : 40 keV)



(d) レーザーアニール処理
(ELA : $2.15 \sim 2.77 \text{ J/cm}^2$ / GLA : $1.2 \sim 2.0 \text{ J/cm}^2$)



(e) 酸化膜の除去
(フッ酸 $\text{HF} : \text{H}_2\text{O} = 1 : 20$)

図 4.1 試料準備手順

アニール条件は表 4.2 に示すよう、パルスエネルギー、 $E = 2.15 \text{ J/cm}^2$ 、 2.46 J/cm^2 、 2.77 J/cm^2 および、 $2.77 \text{ J/cm}^2 \times 10$ ショットの 4 条件で ELA 処理を施した。

表 4.2 ELA の処理条件

試料番号	パルスエネルギー密度
1	2.15 J/cm^2
2	2.46 J/cm^2
3	2.77 J/cm^2
4	$2.77 \text{ J/cm}^2 \times 10 \text{ shots}$

4. 2 ELA 処理後の試料解析

4. 2. 1 表面観察

光学顕微鏡を用いて、表 4.2 に示した照射条件で ELA を施した試料の表面形態について観察した。その結果を図 4.2 に示す [3]。

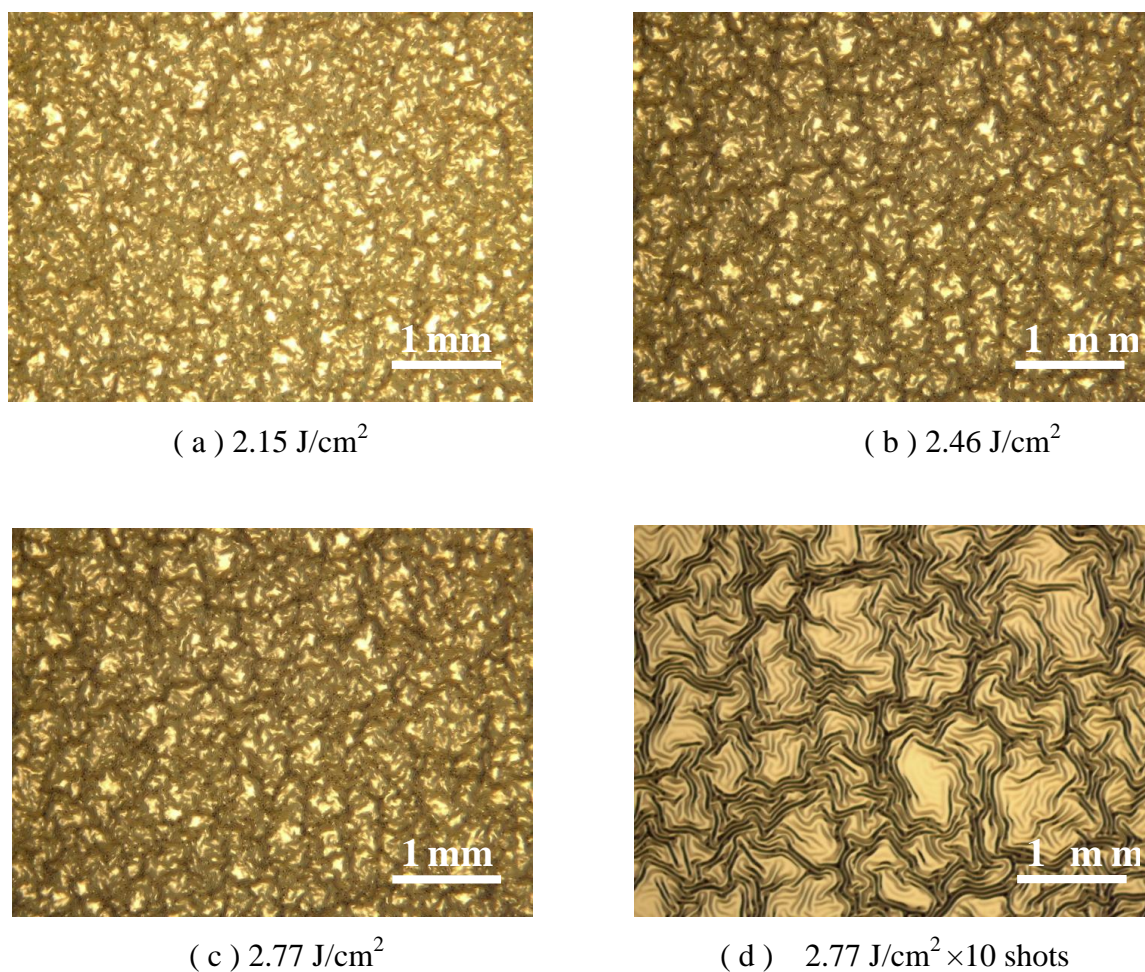


図 4.2 光学顕微鏡による ELA 実験検証試料の表面形態の観察結果 [3]

いずれの照射条件下においても、試料表面にレーザーの照射跡が見られる。その照射跡は、Si の表面が ELA 照射によって、一旦溶解して再結晶化が瞬時に起きる際に、表面に覆われている酸化膜の応力により生じるためと推測する。一方、酸化膜のない試料では、レーザーの照射跡が見られなかった。

4. 2. 2 シート抵抗の測定

試料表面の酸化膜を除去し、四探針プローブ (Hitachi Kokusai Denki Engineer VR-200) を用いて、表面のシート抵抗を測定した。結果を図 4.3 に示す [3]。比較のため、従来プロセス (電気炉アニール 1050°C、540 min) で処理した試料の測定値も追加した。

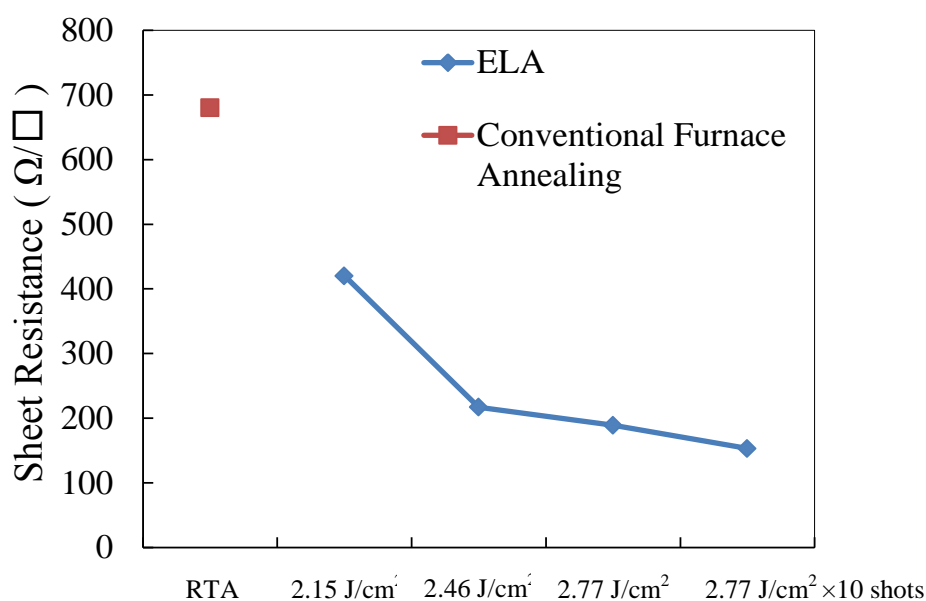


図 4.3 各試料のシート抵抗 [3]

図 4.3 では、従来電気炉アニールで施した試料のシート抵抗値は 680 Ω/□であるが、この値は ELA で処理された試料のシート抵抗よりかなり高い。ELA で処理された試料表面における活性化した不純物の濃度は、従来プロセスに比べて高くなっていると考えられる。また、ELA で処理した場合、照射エネルギーが強くなっていくにつれ、試料のシート抵抗値が低減している。試料のシート抵抗値は、ELA の照射ショット回数の増加によって、さらに低下している。

4. 2. 3 拡がり(4 探針) 抵抗測定

P-Base 層における不純物分布の ELA 処理前後の変化を調べるために、TCAD プロセスシミュレーターを用いて、イオン注入により導入したドーパントの濃度分布を予測してみた [4]。そのシミュレーションの計算結果を図 4.4 に示す。イオン注入のプロセスシミュレーションは、実際の装置条件と同じ、厚み 50 nm の酸化膜上に、40 keV の注入エネルギーでドーズ $2.5 \times 10^{13} \text{ cm}^{-2}$ の条件でドーパント (ボロン) が注入される。

図 4.4 により、ドーパントのピーク濃度は、Si 表面より深さ $0.15 \mu\text{m}$ のところに現われる。そのピーク濃度は $1.8 \times 10^{18} / \text{cm}^3$ である。また、Si 表面より深さ $0.4 \mu\text{m}$ のところにおけるボロンドーパントの濃度は $1.0 \times 10^{16} / \text{cm}^3$ であることが計算される。

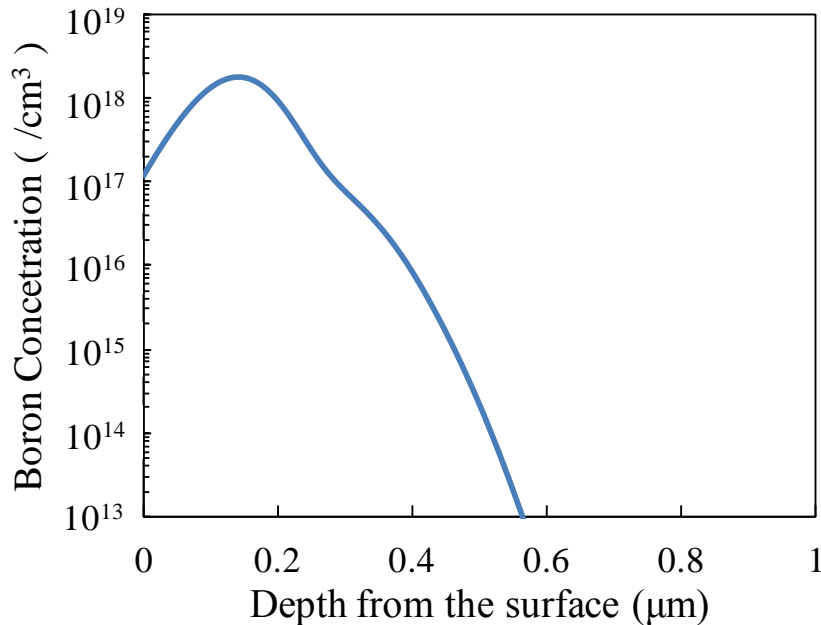


図 4.4 ドーパントの深さ方向分布プロファイル [4]
(注入エネルギー:40 keV/ドーズ: $2.5 \times 10^{13} \text{ cm}^{-2}$)

ELA 処理後、P-Base 層における試料の活性化したキャリアの濃度分布は、拡がり抵抗測定 (SRPs : Spreading Resistance Profiles) によって得られる。その測定結果を図 4.6 に示す [2]。P-Base 層におけるキャリアの濃度分布プロファイルは、処理前 (イオン注入した直後) ドーパントのガウシアン分布 (図 4.3 により) に対し、ELA 処理後は非常に急峻な勾配を持った階段接合に近い形を呈している。P-Base 層における活性化した最大不純物濃度が、 2.15 J/cm^2 の照射条件によって得られている。照射エネルギー

ギーの増加につれ、活性化した不純物濃度は Si 表面より奥側に向かって推移していくことが判った。また、P-Base 層における不純物の活性化率は、照射エネルギーの増加により、高くなることも判明できた。図 4.5 の拡がり抵抗の測定結果に基づき、各照射条件での不純物活性化率が算出できる。2.15 J/cm²、2.46 J/cm²および 2.77 J/cm²の照射条件では、P-Base 層における不純物の活性化率はそれぞれ 67%、77%と 82%となっている。また、2.77 J/cm²×10 shots 条件では、活性化率が 89%までに達しており、ほとんどの不純物が活性化されていると推測される。

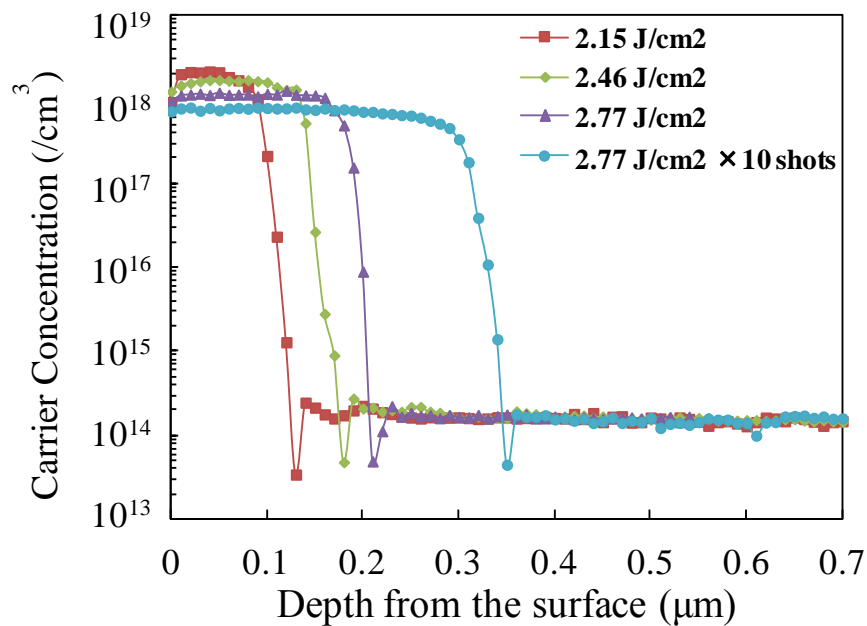


図 4.5 SRP 解析により導出されたキャリアの濃度分布プロファイル [3]

4. 2. 4 二次イオン質量分析 (SIMS) 法による P-Base 層の解析

ELA 処理後、P-Base 層における不純物分布をより正確に把握するために、二次イオン質量分析法 (SIMS; Secondary Ion Mass Spectrometry) を用いて、解析を行った。SIMS 測定では、3 keV のエネルギーをもつ O^{2+} イオンビームが 1 次入射ビームとして使われた。その SIMS の解析結果を図 4.6 に示す [3]。

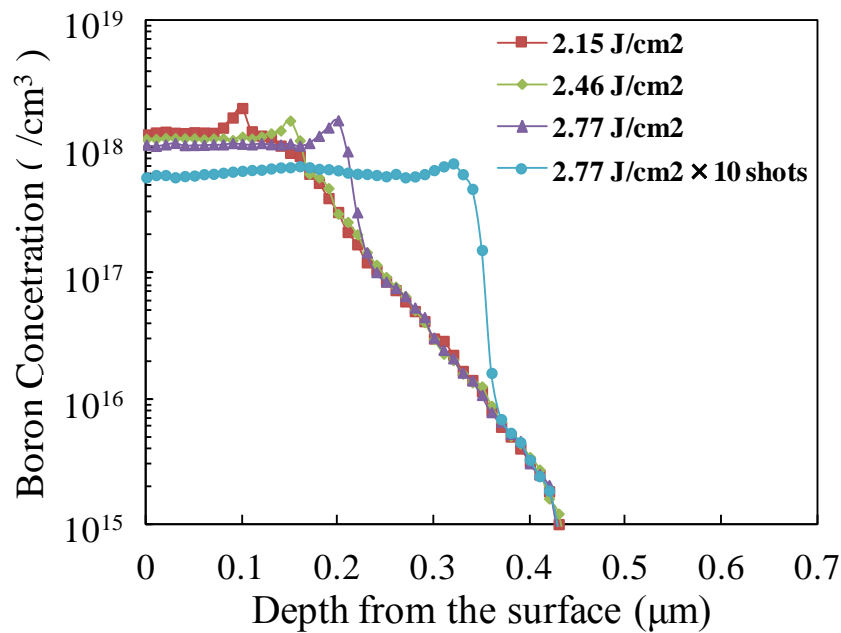


図 4.6 SIMS 解析結果による Si 表面における不純物の深さ方向分布プロファイル [3]

図 4.6 により、SIMS 解析で得られた不純物の濃度分布は、SRP 解析結果と似ており、階段接合の形を呈している。また、不純物の濃度プロファイルにシャープな濃度ピークが見られる。このシャープな濃度ピークは ELA 処理による部分的な溶解現象によるものだと考えられる。そのため、その濃度ピークは溶解層と非溶解層の界面に位置する。ELA 照射エネルギー密度を上げていくにつれ、不純物の濃度のピークが Si 表面に対してより深い方向に向かって推移していく。また、同図により、濃度ピークの位置は、パルスの照射ショット数によって推移していることも判った。2.77 J/cm²×10 shots の照射条件に対しても、溶解層の深さは 0.4 μm 以下である。ELA は、光吸収的にも有利と推測されるが、実際、浅い接合の形成に有利であることが判った。

4. 2. 5 透過電子顕微鏡による P-Base 層の断面形態観察

断面透過電子顕微鏡 (X-TEM : X-Ray Transmission Electron Microscope) を用いて、試料番号 4 (照射条件 : $2.77 \text{ J/cm}^2 \times 10 \text{ shots}$) の断面形態を観察した。図 4.8 に、TEM による試料番号 4 の断面観察結果を示す [3]。図 4.7 により、ELA による溶解層の深さはおよそ $0.36 \mu\text{m}$ であることがわかり、この結果は図 4.6 で示した SIMS による測定結果とほぼ一致している。また、溶解層、または溶解層と非溶解層の界面において、再結晶による欠陥は見られない。

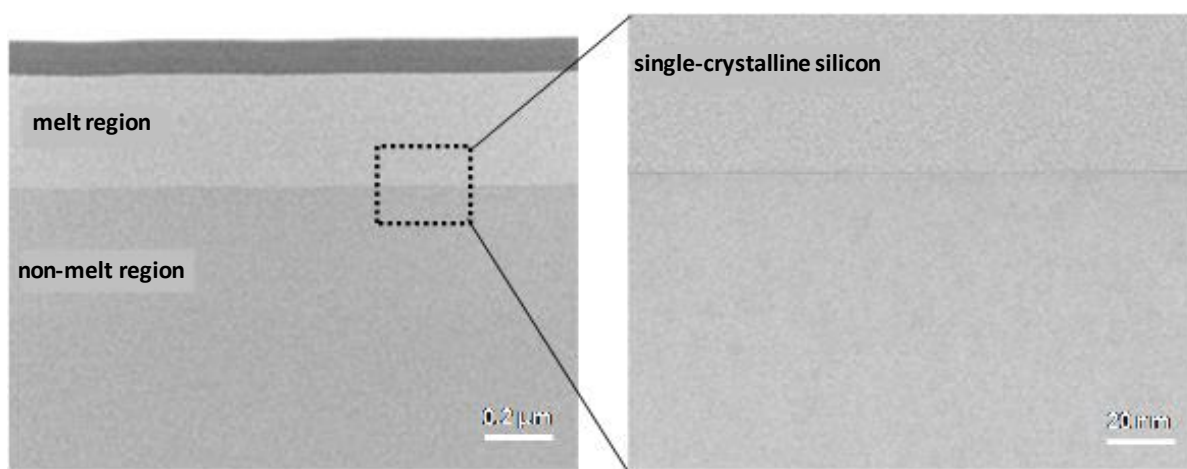


図 4.7 断面透過電子顕微鏡による試料番号 4 の断面観察結果 [3]

4. 3 グリーンレーザーアニール (GLA) による P-Base 接合層の検証実験

本検証実験で使ったグリーンレーザーアニール (GLA) 装置 (SWA-90GD) の仕様を表 4.3 に示す [5]。本装置は、連続して 2 つ照射パルスを発生することが可能で、その 2 つパルスの間隔時間をディレイタイムとよぶ。

表 4.3 グリーンレーザーの装置仕様 [5]

ビームサイズ	波長	ディレイタイム
0.25mm×2.5mm	532 nm	1000 ns

GLA 実験での試料の準備手順は図 4.1 に示されているように、ウェーハ洗浄、熱酸化膜の形成 (酸化膜の膜厚 : 50 nm)、そしてイオン注入、レーザー処理、最後にウェットエッチングによる酸化膜の除去の順となっている。図 4.1 (d) のレーザー処理は GLA 処理である。表 4.4 に GLA の照射条件を示している。レーザーの照射エネルギーが不純物濃度分布へ与える影響を調べるために、ディレイタイムやパルスレーザーショット間のオーバーラップ率を一定とし、それぞれ 200ns と 50% と設定する。照射エネルギー $E_1 = E_2 = 1.2 \text{ J/cm}^2$ 、 1.6 J/cm^2 および 2.0 J/cm^2 の 3 条件で、各試料に対し GLA 処理を施した。また、RTA (Rapid Thermal Annealing) と GLA 処理による不純物濃度分布の相違を比較するために、表 4.4 に、 N^2 雰囲気中 1050°C 、30s の条件で RTA を処理した試料を追加した [6]。

表 4.4 GLA の処理条件 [6]

試料番号	アニール処理法	照射エネルギー [J/cm ²] (E ₁ =E ₂)
1	RTA N ₂ 雰囲気 1050°C 30s	—
2	GLA	1.2
3	GLA	1.6
4	GLA	2.0

デレイタイム:200ns オーバーラップ率:50%

4. 4 GLA 処理後の試料解析

4. 4. 1 表面観察

表 4.4 に示した GLA を施した試料の表面形態について観察した。その結果を図 4.8 に示す [6]。光学顕微鏡観察により、RTA で処理された試料の表面上では、処理前後における形態の変化は見られない。同様な変化がない観察結果は、レーザー照射エネルギー密度が 1.2 J/cm^2 と 1.6 J/cm^2 の条件で処理された試料においても確認された。それらの観察結果を図 4.8 (a) に示す。しかし、照射エネルギー 2.0 J/cm^2 では、GLA 処理された試料表面に顕著なレーザービームのスキャン跡が残った。図 4.10 (b) にその観察結果を示す。



(a) RTA / 1050°C 30s (試料番号 1)
(試料番号 2-3 も番号 1 と同様な結果である)

(b) $E_1=E_2=2.0 \text{ J/cm}^2$ (試料番号 4)

図 4.8 光学顕微鏡による GLA 試料の表面形態の観察結果 [6]

4. 4. 2 拡がり抵抗 (4 探針) の測定

拡がり抵抗測定による試料の活性化したキャリア濃度プロファイルの測定結果を図 4.9 に示す [6]。RTA で処理された試料では、熱処理後のキャリア濃度分布は、熱処理前イオン注入直後のプロファイル (図 4.4 より) と似たような分布傾向が得られている。キャリアのピーク濃度はおよそ $3.3 \times 10^{18}/\text{cm}^3$ で、濃度ピークは深さ $0.21 \mu\text{m}$ に位置する。また、Si の表面におけるキャリア濃度は、 $1.0 \times 10^{17}/\text{cm}^3$ 以下であることも判った。一方、GLA で処理された試料において、レーザー照射エネルギー密度が異なっても、すべての試料においてキャリアの濃度分布が均一であり、また、Si の表面のキャリア濃度は $1.0 \times 10^{18}/\text{cm}^3$ 以上であることが判った。

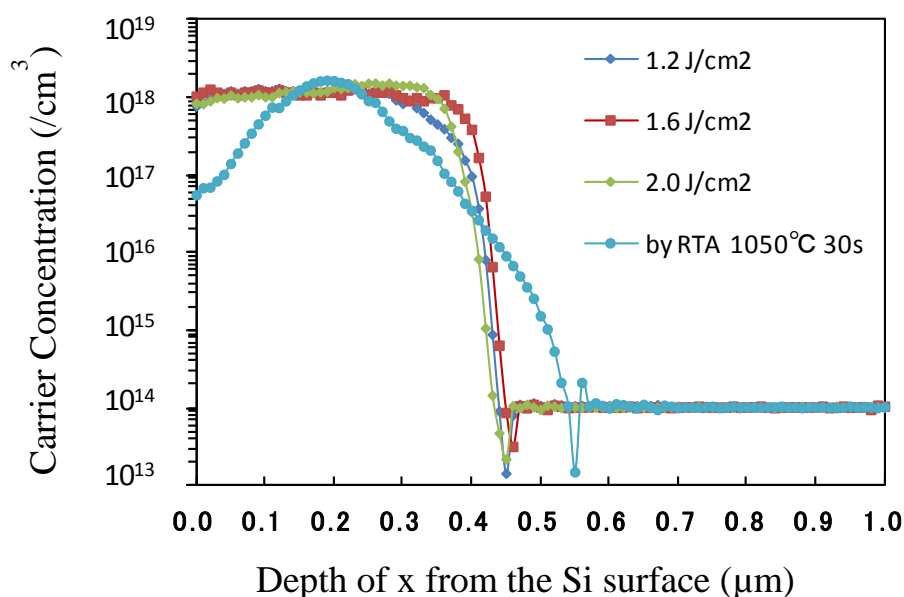


図 4.9 SRP により導出された GLA 試料のキャリア濃度分布プロファイル [6]

4. 4. 3 二次イオン質量分析 (SIMS) 法による P-Base 層の解析

SIMS を用いて、GLA 処理後の試料に対して、P-Base 層の不純物分布解析を行った。SIMS 測定では、3keV エネルギーをもった O^{2+} イオンビームが 1 次入射ビームとして使われた。その解析結果を図 4.10 に示す [6]。不純物の濃度プロファイルにシャープな濃度ピークが見られる。このシャープな濃度ピークは GLA 処理による局所的な溶解現象によるものだと考えられ、その濃度ピークは溶解層と非溶解層の界面に位置する。また、GLA 照射エネルギー密度を上げていくにつれ、不純物濃度のピークが Si 表面に対しより深い方向に向かって推移していく。

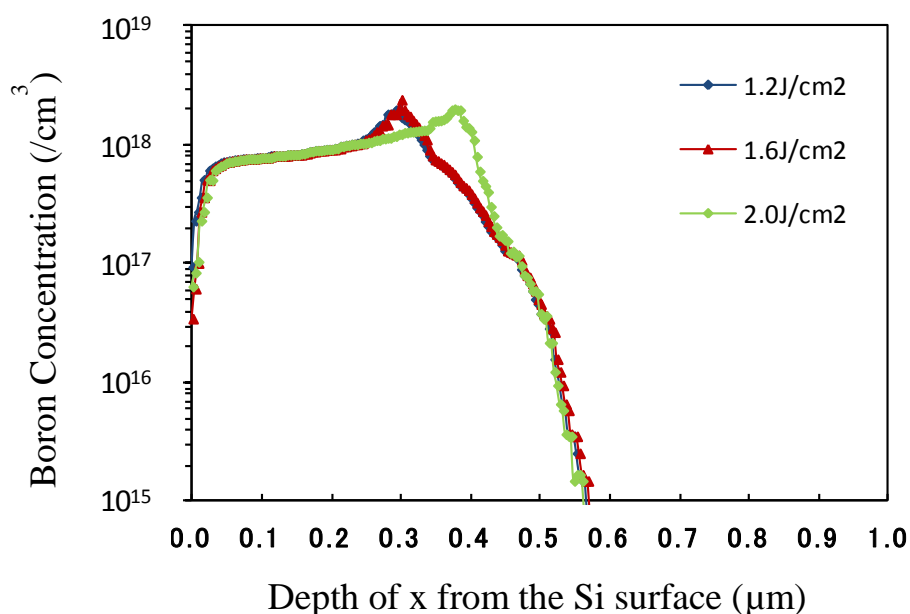


図 4.10 SIMS による導出された GLA 実験試料における Si 表面不純物の深さ方向分布 [4]

4. 4. 4 紫外反射分光法による Si 表面の解析

イオン注入による欠陥が GLA 処理後、低減し、結晶性が回復される状況を調べるのに、紫外反射分光法 (UV Reflectance Spectroscopy) を用いて、その評価を行った [6]。その測定結果を図 4.11 に示す [6]。比較のため、単結晶 Si の反射率も同図に追加している。ドーズ $2.5 \times 10^{13} \text{ cm}^{-2}$ 、注入エネルギー 40 keV の条件でイオン注入を施した後に測定した試料の反射率波形を、単結晶 Si の反射率波形と比較してみると、その差は顕著ではないがわずかに異なっている。軽いボロンのイオン注入によって Si 層がわずかにアモルファス化された、もしくは弱いダメージを受けたと推測できる。一方、GLA 処理による試料の反射率波形は単結晶 Si と相違がほとんどなく、ほぼ重なっている。これらの結果から、GLA 処理による再結晶化の過程において、イオン注入による欠陥はほとんど低減し、結晶性は回復されている。

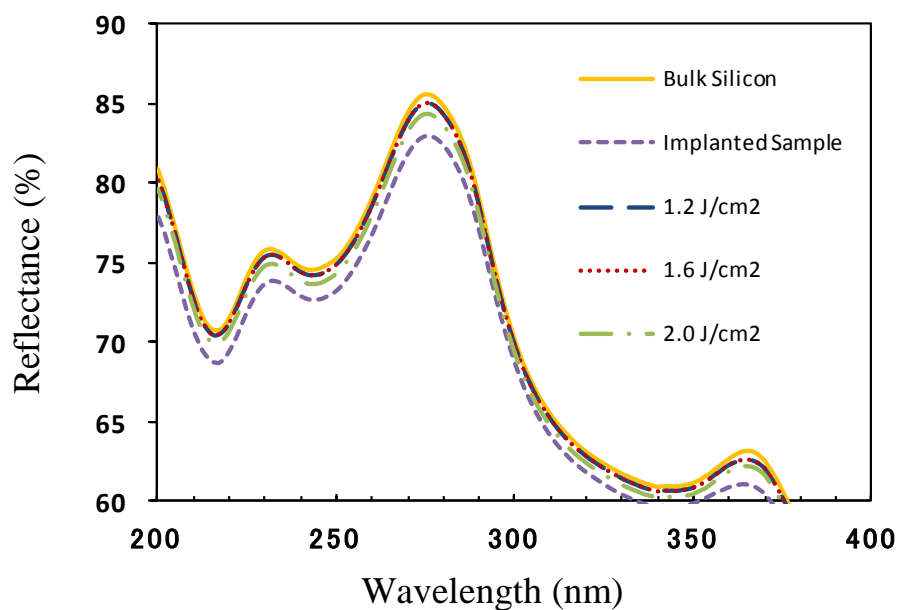


図 4.11 GLA 試料の分光反射率 [6]

4. 5 考察

図 4.5 と図 4.9 で示すように、レーザーアニール処理によって、比較的均一なキャリア濃度分布プロファイル、かつ高い不純物の活性化率が LA 処理によって得られている。ELA 処理による P-Base 層の深さ ($0.4 \mu\text{m}$ 以下) は、GLA に比べ、より浅い。ELA の照射レーザー波長 308 nm と GLA の 532 nm を光子エネルギーに換算すると、それぞれおよそ 3.9 eV と 2.3 eV である。図 4.12 に示されている光子エネルギーに対する単結晶 Si と a-Si の吸収係数のデータによれば、 3.9 eV の光子エネルギーにおける a-Si と単結晶 Si の吸収係数との間にはほとんど差がなく、どちらも高い吸収係数 ($>10^6 /\text{cm}$) であることが判る [7]。よって、ELA による発生した熱の吸収は試料表面から極浅いところまでしか生じていないと考えられる。図 4.5 より、 $2.15 \text{ J}/\text{cm}^2$ の ELA 照射エネルギーで形成された P-Base 層の深さは、わずか $0.1 \mu\text{m}$ である。P-Base 層をより深くするために、照射エネルギーを上げることと、照射ショット数を増やすことが必要である。 $2.77 \text{ J}/\text{cm}^2 \times 10 \text{ shots}$ の ELA 処理条件で、P-Base 層の深さがようやく $0.34 \mu\text{m}$ までに達する。

一方、図 4.12 により、 2.3 eV の光子エネルギーにおける a-Si の吸収係数は 3.9 eV での値に比べ、およそ 10 分の 1 である。その光子エネルギーにおける a-Si と単結晶 Si の吸収係数との間には、大きな差が存在する。検証実験においては、不純物はイオン注入による導入されているため、 $2.5 \times 10^{13} \text{ cm}^{-2}$ のドーズでは完全にはアモルファス化されないが、図 4.11 の反射率測定により、このように低いドーズでもイオン注入による結晶欠陥がわずかな程度にアモルファス化させたと推測できる。そのため、GLA による発生した熱は、主にイオン注入層に吸収され、また、ELA と比べ、試料表面からより深いところまで浸透していると考えられる。図 4.9 により、GLA 処理により形成された P-Base 層深さは、照射エネルギー密度の増加に対し変化が少くない。照射エネルギー $1.2 \text{ J}/\text{cm}^2$ で形成された P-Base 層深さは、ほぼ $0.33 \mu\text{m}$ である。照射エネルギーが $2.0 \text{ J}/\text{cm}^2$ の場合での P-Base 層深さは $0.41 \mu\text{m}$ である。照射エネルギーを約 1.6 倍に増やしても、P-Base 層深さの差は 80 nm にすぎない。そのため、GLA による発生した熱が試料表面からおよそ深さ $0.4 \mu\text{m}$ までの領域に吸収されていると考えられる。

一方、いずれの LA 処理によっても、図 4.5 と図 4.9 に示されているように、キャリア濃度分布プロファイルは階段状となっている。それは、照射エネルギーの吸収によって、Si 表面から極めて浅いところまでの領域が一旦融点に達し、熔融し、そして再結晶化する。その一連の物理現象は非常に短い時間内に起きる。溶解相である Si 内における不純物の拡散係数は固相状態に比べてはるかに高いため、溶解相で不純物の拡散が加速される [8-9]。図 4.6 と 4.10 に示されているように、LA 処理による一旦熔融相に転じた Si 表面近傍領域においては、不純物の拡散が非常に早く進行し、その領域における不純物のプロファイル分布がフラットになり、一方、固相状態である Si 領域においては、不純物の拡散はほとんど進行していない [10]。

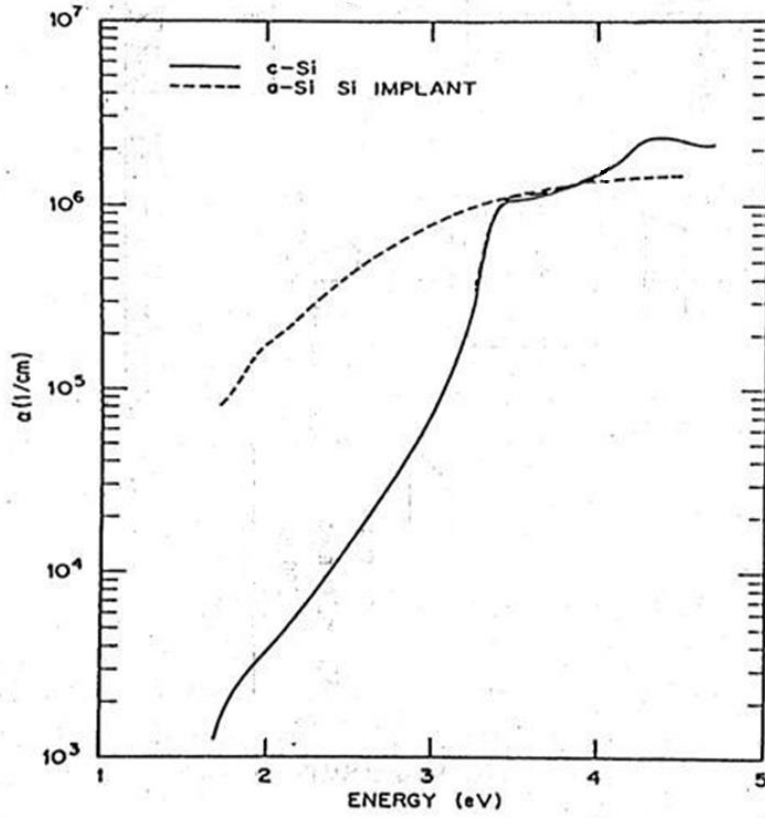


図 4.12 フォトンエネルギーに対する単結晶 Si と a-Si の吸収係数 [7]

参考文献

- [1] K. Huet, I. Toqué-Tresonne, F. Mazzamuto, T. Emerald, H. Besaucèle, “ Laser Thermal Annealing: A low thermal budget solution for advanced structures and new materials”, Proc. Junction Technology (IWJT), 2014 International Workshop on, p.13-18, (2014).
- [2] 服部毅編著, “新版シリコンウェーハ表面のクリーン化技術”, リアライズ理工センター, (2000).
- [3] Yi Chen, Tatsuya Okada, Takashi Noguchi, Fulvio MAZZAMUTO and Karim HUET, “An Application of Excimer Laser Annealing in Low-Voltage Power MOSFETs Process” (being published in the JJAP).
- [4] ATHENA User’s Manual, (SILVACO International, Santa Clara, CA, 2007) p. 176.
- [5] 住友重機械工業株式会社, 固体アニール装置, GLE/SWA シリーズ, “SWA-90GD カタログ”, <http://www.shi-mechatronics.jp/products/laser/laseranealling/solid.shtml>
- [6] Y. Chen, T. Okada, T. Noguchi, “An Application of Laser Annealing Process in Low-Voltage Power MOSFETs”, IEICE, Volume and Number: Vol.E99-C, No.5, pp.516-521.
- [7] R. F. Wood, C. W. White, and R. T. Young, “Semiconductors and Semimetals”, (Academic Press, Orlando, FL, 1984), Vol. 23, p. 116.
- [8] T. Noguchi, “Effective Dopant Activation in Silicon Film Using Excimer Laser Annealing for High-Performance Thin Film Transistors” Jap. J. Appl. Phys., 47, p.1858, 2008.
- [9] T. Sameshima and S. Usui, “Pulsed laser - induced melting followed by quenching of silicon films”, J. Appl. Phys. p. 74, (1993).
- [10] Y. Chen and T. Noguchi, “A Laser Annealing Process for High-Performance Power MOSFETs”, Proc. IWJT, p.43-46, (2014).

第5章 レーザーアニールのパワーMOS FETプロセスへの応用

5.1 レーザーアニール技術の高性能パワーMOS FETプロセスへの応用

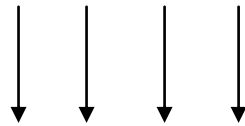
図5.1に、低電圧系パワーUMOS FETの基本プロセスを示す。そのプロセスは、主に10の工程によって構成されている [1]。

First Oxidation



(a) ウェーハ表面の初酸化

Base Ion Implantation



(b) ベースイオン注入

(ドーパント： B^+ 、ドーズ： $2.5 \times 10^{13} \text{ cm}^{-2}$ 、注入エネルギー： 40 keV)

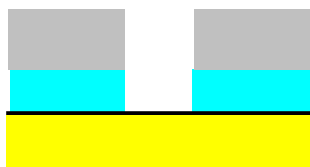
Annealing



(c) アニール

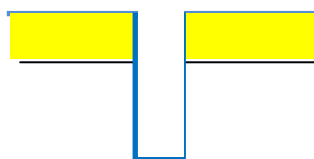
(GLA： 1.6 J/cm^2 、Delay Time： 1000 ns)

Photolithography and Oxidation Etching



(d) トレンチパターンへのフォトリソと酸化膜のドライエッチング

Trench Etching and Gate Oxidation



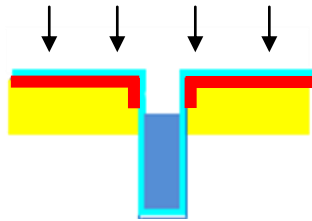
(e) ドライエッチングによるトレンチ形成と熱酸化によるゲート酸化膜の形成

Poly Si Deposition and Recess



(f) ゲート poly-Si の堆積とゲート poly-Si のリセスエッチング

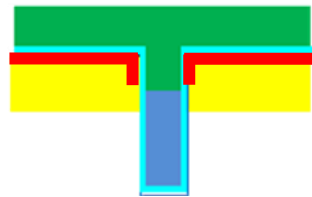
Source Ion Implantation



(g) ソースイオン注入

(ドーパント : Ar^+ 、ドーズ : $1.0 \times 10^{16} \text{ cm}^{-2}$ 、注入エネルギー : 140 keV)

Insulation Layer Deposition



(h) 層間絶縁膜の形成

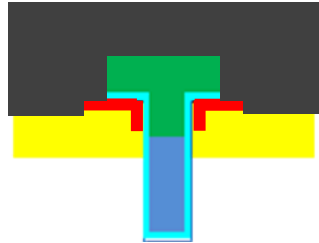
(TEOS ($\text{Si}(\text{OC}_2\text{H}_5)_4$) デポジション、膜厚 : 3 μm)

Photolithography and Etching



(i) ソースのコンタクトフォトリソと開孔

Electrode



(j) 電極の形成

図 5.1 UMOS FET のプロセスフロー [1]

図 5.1 (c) ベースドライブ工程 (ベース拡散工程) において、従来のプロセスでは、電気炉アニールを用いられている。第 3 章にすでに述べたように、電気炉アニール処理による P-Base 層の深さを $1\ \mu\text{m}$ 以下に制御するのは極めて困難であるため、ここで、レーザーアニール技術の低電圧 UMOS FET 製造プロセスへの応用の可能性について検討を行った。

レーザー光の Si への浸透深さはレーザー光源の波長によって異なる。第 4 章でのレーザーアニールの検証実験の結果により、相対熱履歴が同等条件下では、GLA による形成された P-Base 層の深さは ELA と比べて深いことが判った。パンチスルーによる耐圧の低下を防ぐために、比較的深い P-Base 層を形成できる GLA を UMOS FET 製造プロセスに用いることにした。

また、第 4 章の図 4.6 (a) により、照射エネルギー $1.6\ \text{J}/\text{cm}^2$ の GLA 条件によって処理された試料の表面形態がアニール前後において、変わりがないことから、その条件で処理されても、固相アニールとほとんど同様な表面の平坦性が得られると考えられる。そのため、図 5.1 (c) のベース形成工程のアニール条件は、表 4.4 に示されている試料番号 3 のアニール条件と同様に、 $1.6\ \text{J}/\text{cm}^2$ とした。

UMOS FET の設計耐圧は 30V である。パワー MOS FET の耐圧は N ドリフト層 (N-Drift) の濃度および厚みによって決まり、下記の経験式 (5.1) と (5.2) によって表す [2]。

$$BV(\text{Si}) = 5.34 \times 10^{13} N_D^{-3/4} \quad (5.1)$$

$$W(\text{Si}) = 2.67 \times 10^{10} N_D^{-7/8} \quad (5.2)$$

ここで、 BV はブレイクダウン電圧で、 N_D と W は、図 3.1 に示されている UMOS FET 断面図の Nドリフト領域の濃度と厚みである。上式によれば、素子耐圧と Nドリフトの不純物濃度との間に、負指数関係が存在する。設計耐圧を高くする場合、Nドリフトの不純物濃度を下げていく必要がある。本試作では、デバイスの耐圧ランク 30V に設計したため、式 (5.1) と(5.2) に従い、算出した設計素子の Nドリフトの比抵抗と厚は、それぞれ $0.34 \Omega \cdot \text{cm}$ と $5.0 \mu\text{m}$ となる。また、その他の重要設計パラメータは表 5.1 まとめた [3]。

表 5.1 UMOS FET 素子の構造設計パラメータ [3]

パラメータ	値
Nドリフトの比抵抗 [$\Omega \cdot \text{cm}$]	0.34
Nドリフト層の厚さ [μm]	5.0
トレンチの深さ [μm]	1.0
セルピッチ幅 [μm]	1.2
ゲート酸化膜の厚さ [nm]	55

図 5.1 に示されている UMOS FET のプロセスフローで、デバイス P-base 層の形成に、従来電気炉アニール処理の代わりに、GLA 処理プロセスを用いたデバイスの試作を行った。

5. 2 試作デバイスの評価

5. 2. 1 試作デバイス実際構造の評価

実際デバイスの断面構造は設計通りであるかどうかの確認を行うために、試作デバイスの観察断面は 45° 角度の研磨治具で作成し、走査電子顕微鏡 (Scanning Electron Microscope : SEM) を用いて観察を行った。観察結果を図 5.2 に示す。実際の素子構造寸法は設計表 5.1 に示される設計寸法とほぼ一致している [3]。

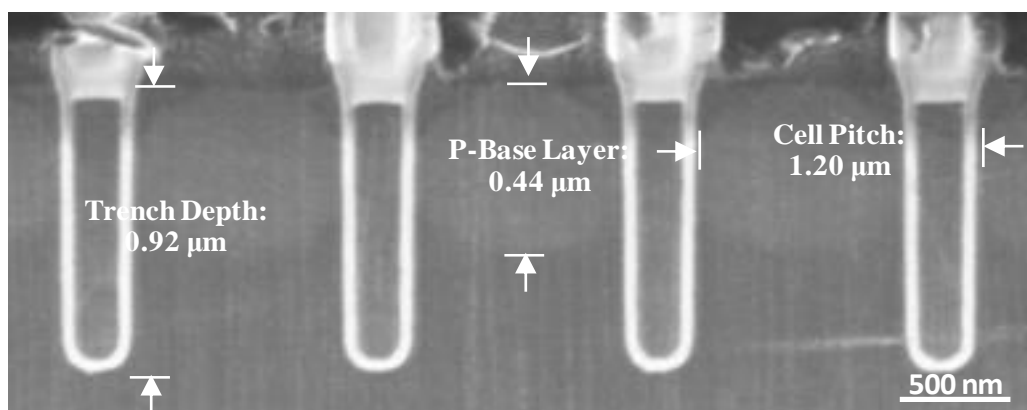


図 5.2 SEM 観察による試作 U-MOS FET の断面構造 [3]

5. 2. 2 試作デバイス耐圧特性の評価

デバイスのゲートとソース端子を共に 0V（接地）にし、デバイスをオフさせた状態で、ドレイン端子に電圧を段々上昇させ、デバイスがブレイクダウンされ、ドレインからソースへ流れるブレイクダウン電流が 1 mA になる時のドレインーソース間への電圧をブレイクダウン電圧と定義する。用途別回路へ適応するため、設計耐圧と実際のブレイクダウン電圧との間に、マージンを取る必要がある。そのため、一般的に、ブレイクダウン電圧は、設計耐圧よりおよそ 10 % から 20 % まで高くなっている [2]。

カーブトレーサーを用いて、測定した試作デバイスの耐圧特性を図 5.3 に示す。デバイスはハードブレイク特性を呈し、また、ブレイクダウン電流が 1 mA になる時のブレイクダウン電圧は 36.5 V に達している [3]。

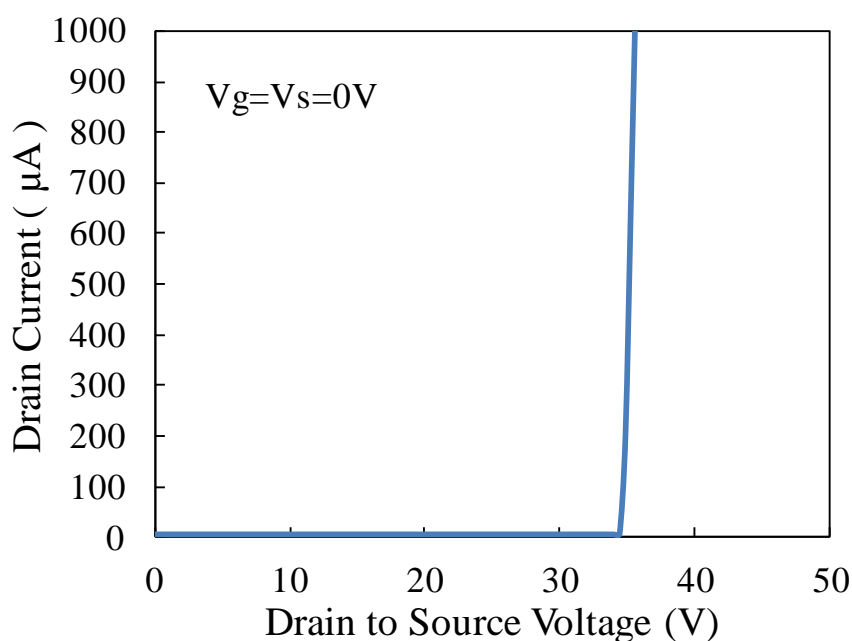


図 5.3 試作デバイスの耐電圧特性の測定波形 [3]

5. 2. 3 試作デバイスリーケージ特性の評価

パワーデバイスがパワーエレクトロニクスシステムでの電力変換を行う役割を果たす際に、スイッチング (オン/オフ) 動作がその基本動作である。リーケージ電流 (ドレインの漏れ電流) は、そのデバイスをオフさせた状態で、ドレイン-ソース間に設計耐圧がかかった時に測定された電流値を表す [2]。デバイスがオフ状態での導通損失は、リーケージ電流とドレイン-ソース間の印加電圧によって決まり、回路変換効率向上のため、小さいリーケージ電流が求められる。

図 5.4 に試作デバイスのリーケージ電流特性を示す [3]。ドレイン-ソース間の印加電圧が 30V に達してもデバイスのリーケージ電流がほとんど流れない (ドレインの漏れ電流は 30nA 以下に保っている)。

リーケージ電流は、P-Base 層における結晶欠陥と関連するため、図 5.4 に示されているリーケージ特性により、イオン注入によるダメージが GLA 処理によって、修復され、ほとんどなくなっていると考えられる。

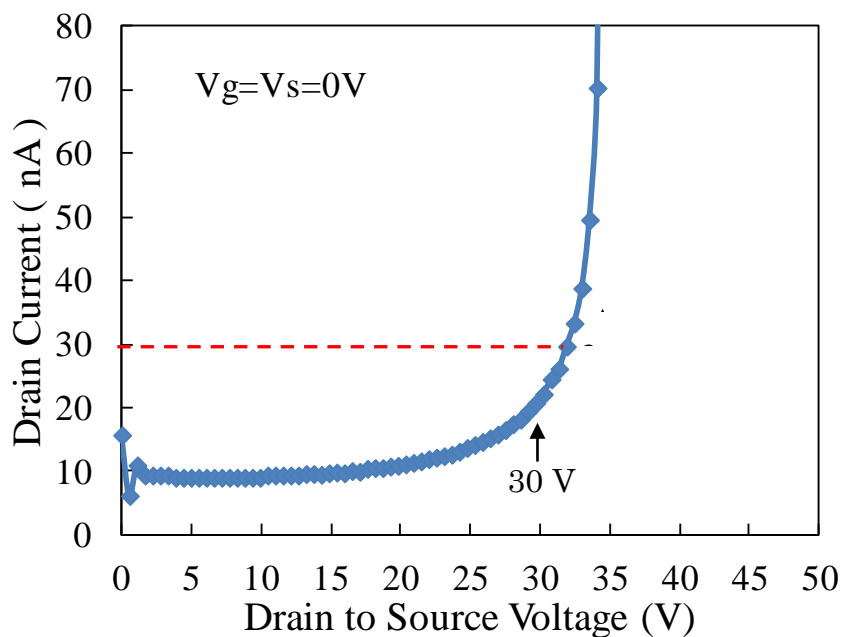


図 5.4 リーケージ電流特性の測定波形 [3]

5. 2. 4 試作デバイスに対するしきい値電圧特性の評価

デバイスのしきい値電圧は、図 5.5 に示すように、ドレインに高い電圧がかかった状態で、ゲート電圧を徐々に上げていった時、デバイスがターンオンとなり電流が流れ始める時のゲート電圧を表す。一般に工業上では、ドレイン-ソース間に 10V の電圧が印加された状態で、ゲート-ソースの電圧を徐々に上昇させ、ドレインからソースへ 1 mA の電流が流れ始める時のゲート-ソース間にかかった電圧をしきい値電圧 (V_{th}) で定義されている [4]。

図 5.6 に、試作デバイスのしきい値電圧特性の測定結果を示す [3]。ソースドレイン間に 10 V の電圧が印加され、電流が 1 mA 流れたとき、しきい電圧はおよそ 2.2 V である。また、図 5.6 では、ゲート-ソースの電圧の上昇によるドレイン電流が急激に変動することがみられていない。すなわち、安定した動作であることが確認されている。

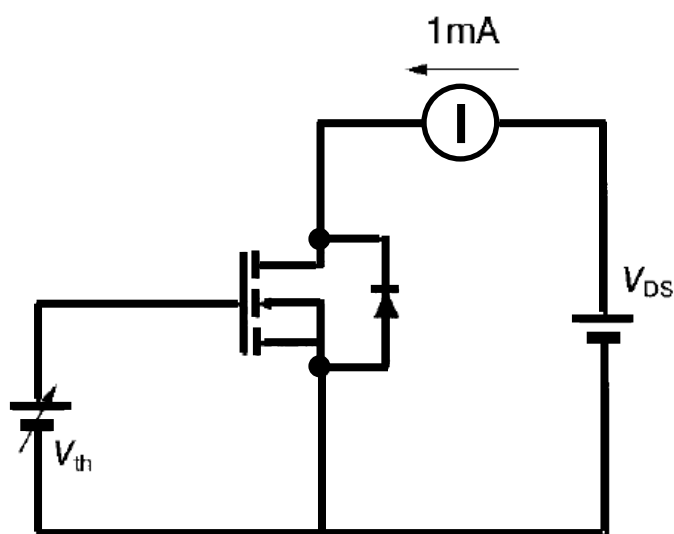


図 5.5 しきい値電圧の測定回路 [4]

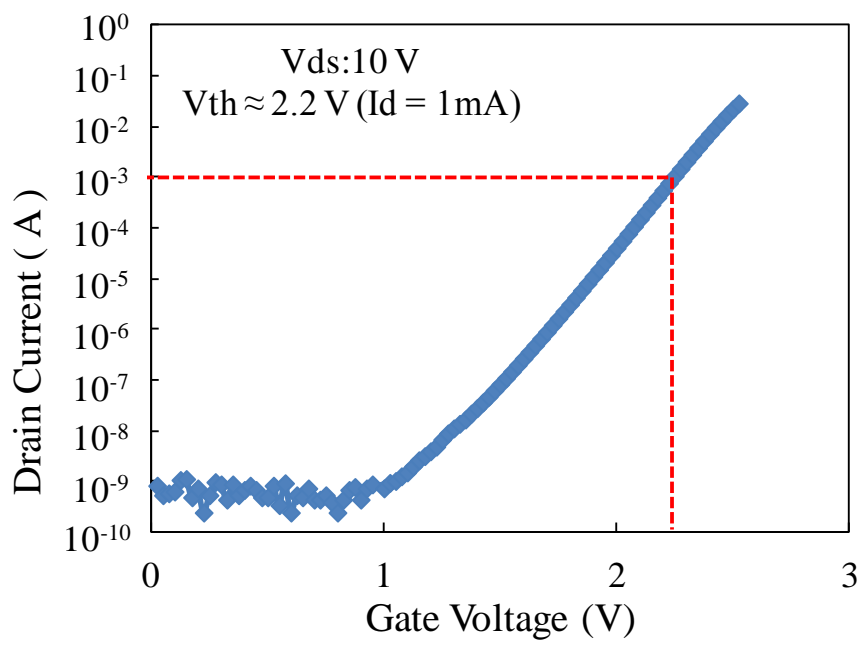


図 5.6 しきい値電圧の測定波形 [3]

5. 2. 5 オン抵抗 (R_{ON}) の測定

図 5.7 に、デバイス R_{on} 抵抗の測定回路を表している [4]。

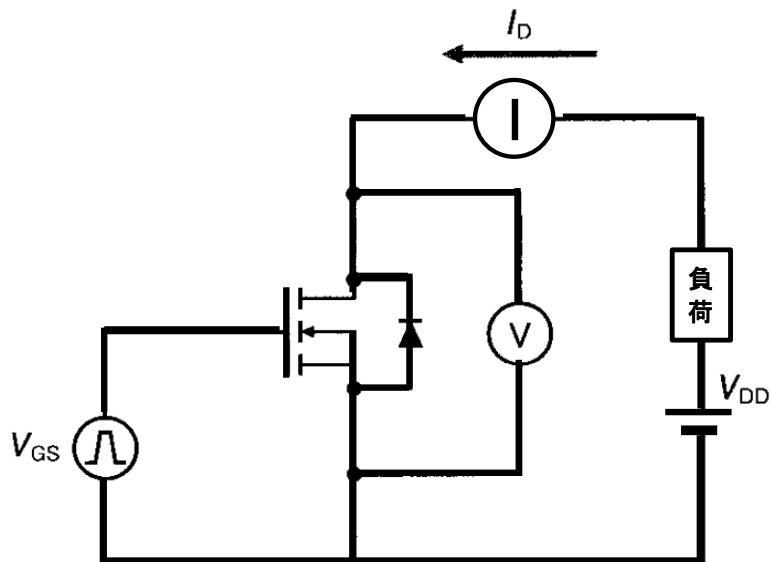


図 5.7 R_{ON} の測定回路 [4]

図 5.7 の測定回路によって、デバイスのドレイン-ソース間の電圧とドレイン電流値を測定してから、その電圧を電流値で割ると、あるゲート電圧でのオン抵抗を求めることができる。その得られた抵抗値をさらにデバイスの活性部面積をかけると、デバイスの R_{ON} が求められる。ゲート-ソース間での印加電圧が変わってくると、デバイスの R_{ON} も変わってくるので、工業上における一般的な測定基準 (ゲート-ソース間に電圧 10 V が印加され、ドレイン電流が 1 A を流れた時のドレイン-ソース間の電圧) に従い、試作デバイスの R_{ON} を測定した。その測定値は $0.21 \text{ m}\Omega \cdot \text{cm}^2$ である。従来のプロセスで作製したデバイスの R_{ON} 値 $0.38 \text{ m}\Omega \cdot \text{cm}^2$ に対して、およそ 45 % 低減できた。

5. 2. 6 試作デバイスのしきい値電圧のバラツキ評価

試作デバイスの P-Base 層は GLA により形成されたため、新レーザーアニールプロセスの安定性を評価する必要がある。レーザーアニールプロセスによる作製されたデバイスと従来プロセスで作製された同一ウェーハ内のデバイスを、各 200 個ずつ用意し、それらのしきい値電圧を測定し、比較した。測定条件は、図 5.6 に示されているしきい値電圧の特性評価と同様である (ドレインソース間: 10 V、ドレイン電流: 1mA)。測定値のヒストグラムを図 5.8 にプロットした [3]。

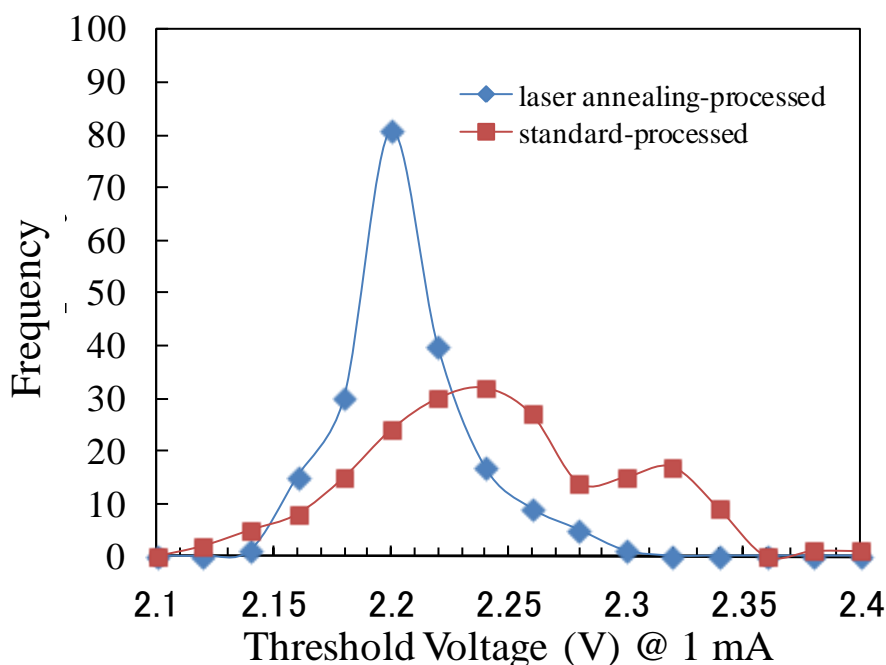


図 5.8 しきい値電圧のバラツキ [3]

図 5.8 より、グリーンレーザーアニールプロセスによる作製したデバイスの標準偏差は 27.3 mV であり、従来プロセスの標準偏差の 53.8 mV に対し、およそ半減している。レーザーアニールプロセスによる作製されたデバイスのしきい値電圧のバラツキは従来プロセスと比べ、大変改善していることが判った。高いプロセスの安定性が実現できている。

上記、すべての特性の評価は室温 (300 K) 下で行った。

参考文献

- [1] Jacek Korec, “Low Voltage Power MOSFETs: Design, Performance and Applications”, Springer, (2011).
- [2] Duncan A. Grant, John Gowar, “ Power MOSFETs: Theory and Applications”, Wiley-Interscience, (1989).
- [3] Y. Chen, T. Okada, T. Noguchi, “An Application of Laser Annealing Process in Low-Voltage Power MOSFETs”, IEICE, Volume and Number: Vol.E99-C, No.5, pp.516-521, (2016).
- [4] Milan Kubát, “Power semiconductors”, Springer London, (1984).

第6章 結論

従来のプロセスでは、低電圧パワーMOS FETの低抵抗化に限界があるため、初めて低電圧パワーMOS FETのP-Base接合アニールとしてLAの可能性について検討を行った。パルスLA処理により形成されたP-Base層は下記の特徴がある。

- 1、 P-Base層における不純物の高活性化率が得られる。
- 2、 LAの熔融加熱により、階段状接合に近い不純物濃度分布が得られる。しきい値電圧の変動の制御にとっては、大変有利である。
- 3、 Siは紫外光領域において高い吸収率をもつため、紫外線波長のELAは、より長い波長である可視光のGLAに比べ、より浅い接合が得られる。接合の形成は深さLA波長の選択により、プロセスの最適化が可能となる。
- 4、 GLAプロセスによる作製された試作デバイスの R_{ON} は従来プロセスより、約半分まで低減できている。しきい値電圧のバラツキも従来プロセスより、大変改善している。高いプロセスの安定性が実現できている。

LA処理プロセスは、次世代高性能パワーMOS FETsの実現に、有望と考えられる。しかし、LAの熔融加熱によるSi表面の荒れ問題は未解決である。この課題に取り組む必要がある。

研究業績

学会誌、学術誌への掲載論文

2010 年度

Takashi Noguchi, Yi Chen, Tomoyuki Miyahira, Jean de Dieu Mugiraneza, Yoshiaki Ogino, Yasuhiro Iida, Eiji, “Advanced Micro-Polycrystalline Silicon Films Formed by Blue-Multi-Laser-Diode Annealing”, Jap. J. Appl. Phys, p.03CA10-(1-3), 2010.

J. D. Mugiraneza, T. Miyahira, A. Sakamoto, Y. Chen, T. Okada, T. Noguchi, and T. Itoh, “Structural Characterization of Sputtered Si Thin Films after RTA for AMOLED”, Jap. J. Appl. Phys., 121302-1, 2010.

2016 年度

Yi Chen, Tatsuya Okada, Takashi Noguchi, Fulvio MAZZAMUTO and Karim HUET, “Excimer laser annealing for low-voltage power MOSFET”, Jap. J. Appl. Phys., Vol. 55, No. 8, 2016.

Y. Chen, T. Okada, T. Noguchi, “An Application of Laser Annealing Process in Low-Voltage Power MOSFETs”, IEICE, Volume and Number: Vol. E99-C, No.5, pp.516-521.

Y. Chen, T. Okada, T. Noguchi, “An Application of Laser Annealing Process in Low-Voltage Planar Power MOSFETs”, IEICE, Volume and Number: Vol., Vol. E99-C, No.5, pp.601-603.

学会、学術集会での発表

2008 年度

“薄膜シリコン太陽電池の構造に関する提案”, 陳 訳, 野口 隆, 大鉢 忠, 平成 20, Ok1-2008-38, p.229, 2008.

2009 年度

Y. Ogino, Y. Chen, T. Miyahira, T. Noguchi, J.D. Mugiraneza, Y. Iida, E. Sahota and M. Terao, “Blue Multi-Laser-Diode Annealing(BLDA) Technologies for Poly-Si Films”, Proc. of IMID'09, P1-132, p. 945-947, 2009.

T. Noguchi, Y. Chen, Y. Ogino, Y. Ikeda, E. Sahota and M. Terao, “Micro-Poly-Si film Formation by Blue-Multi-Laser-Annealing (BLDA)”, Proc. of AM-FPD 09, p.203,

2009(Nara, Nihon).

T. Noguchi, T. Miyahira, Y. Chen, J. de dieu Mugiraneza, “Effective annealing for Si film”, Proc. of AWAD11, 2009.

“単結晶シリコンと単結晶ゲルマニウムを用いる pin 型薄膜太陽電池の検討”, 越田 雄也、陳 訳、野口 隆、大鉢 忠,平成 21 電気学会電子情報通信学会合同講演会(沖縄),p229, 2009.

“薄膜シリコン太陽電池の構造と製法に関する提案”, 陳 訳、野口 隆、大鉢 忠,平成 20 年応用物理学会, 31a-A-2, p.1189, 2009.

“亜熱帯地域ビジネスをめざした薄膜太陽電池の研究”, 陳 訳、白井 克弥、野口 隆, 沖縄産学官イノベーションフォーラム 2009, 2009.

2010 年度

J.D. Mugiraneza, T.Miyahira, A. Sakamoto, Y. Chen, T. Okada, T. Noguchi and T. Itoh, “RTA Effect on Si Film Sputtered on Thermally Durable Glass Substrate”, Proc. of 6th Intl. Conf. of TFT, St1, p.254, 2010.

T. Itoh, J.D. Mugiraneza, T. Miyahira, A. Sakamoto, Y. Chen, T. Okada, T. Noguchi, “Thermal durability of poly-Si films on highly engineered glass for RTA process enabling advanced TFTs”, Proc. of SID’10 (The society for information displays: USA), 10,2010.

野口 隆、大城 文明、坂本 明典、陳 訳、ジャンディユ ムギラネーザ、白井 克弥、大鉢 忠, “Si 薄膜素子構造と特性に関する研究(TFTと太陽光発電素子)”, 同志社大学界面現象研究センター2009 年度研究報告書, 100-106.

2011 年度

Y. Chen, J. D. Mugiraneza, K. Shirai, T. Okada, T. Noguchi and T. Ohachi, “Proposal of High Conversion Efficiency Thin-Film Solar Cell”, Proc. AWAD, 250, 2011.

2014 年度

Y. Chen, T. Noguchi, “A Laser Annealing Process for High-Performance Power MOSFETs”, Proc. IWJT, S1_09, 2014 (Shanghai, China).

陳 訳、野口 隆, “高性能パワー素子特性向上のための高温短時間プロセスの検討”, 第 61 回応用物理学会春季学術講演会 講演予稿集(2014 春 青山学院大学), 20a-E14-7, p.13-193. 2014(神奈川).

2015 年度

Y. Chen, T. Okada and T. Noguchi, “An Application of Laser Annealing Process in Low-Voltage Power MOSFETs”, Proc. of AWAD 15, 7B-4, p.370, 2015 (Jeju, Korea).

“レーザーアニールプロセスの高性能パワー素子への応用”, 陳 訳, 岡田 竜弥, 野口 隆, マツアムト フルビオ, ヒュエット カリム, 第 76 回応用物理学会秋季学術講演会

“レーザーアニールによる高性能パワー素子のプロセス検討”, 陳 訳, 野口 隆, マツアムト フルビオ, ヒュエット カリム, 第 62 回応用物理学会春季学術講演会 (2015 東海大学湘南キャンパス), 14a-A29-7, 12-470

2016 年度

レーザーアニール技術の高性能パワー素子プロセスへの応用

○陳 訳, 岡田 竜弥, 野口 隆, マツアムト フルビオ, ヒュエット カリム, 第 63 回応用物理学会春季学術講演会 (2016 東京工業大学大岡山キャンパス), 20p-S423-11.

謝辞

本研究は多くの方々のご協力の下で行われました。末文ではありますが、皆様に感謝の辞を述べさせていただきます。

本研究は著者が、琉球大学大学院 理工学研究科 野口研究室において、野口隆教授のご指導を賜ることでここに博士論文としてまとめることができたものです。野口隆教授には、本研究を進めていく過程において、配慮に満ちたご支援と多大なる激励を頂きました。ここに深く感謝致します。

鈴木俊治先生には、本研究の節目において有意義かつ適切なお指導を頂きました。ここに深く感謝致します。

景山弘准教授には、異なる分野からの視点で数々の有益なお教示を頂きました。ここに深く感謝致します。

研究室での進捗報告会、学会発表などでは岡田竜弥助教より有益なお助言、ご指摘を頂き、感謝を申し上げます。

スクリーンセミコンダクタ株式会社のマツアムト フルビオ氏とヒュエット カリム氏には、本研究においてレーザー装置の使用支援および結晶化技術に関して非常に有益なお助言を数多く頂きました。

皆様の惜しみない技術協力により、本研究を遂行することができました。この場を借りて厚く感謝申し上げます。

デバイス作製において、山形サンケン電気株式会社に多大なお協力を頂き、この場を借りて厚く感謝申し上げます。

野口研究室の皆様には、研究だけでなく、研究活動以外でも様々な協力を頂き、充実した研究活動ができました。ここに深く感謝致します。

最後に、博士後期課程において、絶え間なく経済的、精神的に支えてくれた家族に、心より感謝の気持ちを表します。